

ZYNQ HW: EBAZ4205

Автор: sea

Рецензент: KeisN13



Оглавление

Аннотация	. 3
Обзор платы	. 3
Параметры платы	. 3
Программатор	. 5
Приступаем к работе	. 6
Сборка и настройка HW части	. 6
SW часть проекта	16
Итоги	24
Ссылки	25



Аннотация

Цель данного туториала - повторить создание проекта Hello World с выводом текстовой строки в последовательный интерфейс UART, но на плате EBAZ4205. Для этого нужно будет учесть аппаратные особенности этой платы. Так же, отличием этого туториала является использование Vitis вместо более раннего варианта SDK.

Обзор платы

Плата EBAZ4205 является управляющей картой от крипто майнера Ebit E9 + BTC. Сейчас как майнер стала не актуальна, поэтому б/у платы появились по доступной цене (порядка 1000р) на ebay и aliexpress (поисковая фраза "ZYNQ 7000"). При покупке я выбрал более дорогой вариант, где продавец припаивает слот для MicroSD карточки на плату. По умолчанию слот не припаян. Кроме слота, продавец припаял еще разъем для подключения UART и JTAG для порграммирования. Кроме этого, перепаян резистор R2577, R2584 для загрузки системы не с flash a с MicroSD.



Параметры платы

• ПЛИС XC7Z010CLG400, Dual Core Cortex A9 @ 666.66MHz and Artix-7 FPGA with 28k LEs.





• Внешняя память DDR3 256MB



• Внешняя FLASH память - 128MB SLC NAND FLASH.



• Ethernet трансивер для сети 10/100Mbps: IP101GA



Как становится ясно, плата требует небольшой доработки перед использованием. Для того, чтобы подать питание на плату, нужно запаять недостающий диод с обратной стороны.





После чего, питание можно будет подавать через стандартный разъем, похожий на Molex 6pin. Я же для подачи питания, использую разъем подключения вентиляторов. Напряжение 5..12 вольт, ток 500 мА.



Программатор

В качестве программатора использую китайский Platform Cable USB II Model DLC10





Приступаем к работе

Еще одно отличие этой статьи от серии статей про Minized это использование Vivado 2020.2 и Xilinx Vitis 2020.2 (в отличие от SDK в более ранних версиях)

Сборка и настройка HW части

Создаем новый проект и попробуем повторить функционал, который выведет строчку "Hello world" чере UART порт (для того, чтобы это увидеть, нам потребуется переходник USB UART). В таком проекте потребуется настроить по-минимуму аппаратную часть ZYNQ: порт UART, DDR память; и написать прошивку для ядра.







• Задаем имя проекта



• Выберем модель ПЛИС

oose a de	fault Xilinx pa	art or board for you	ir project.								
Parts	Boards										
Reset All	Filters										
Category:	All		~	Package	e: All		~	Te	mperature:	All	~
Family:	All		~	Speed:	All		~	St	atic power:	All	~
Cooreb	0- 207701	1	0 × 0	match e e)							
Part	Q. X07201	I/O Pin Count	Available IOBs	LUT Elements F	lipFlops	Block RAMs	Ultra RAMs	DSPs	Gb Transo	ceivers	GTPE2 Transceiver
xc7z010	lclg400-3	400	100	17600 3	5200	60	0	80	0		0
xc7z010	lclg400-2	400	100	17600 3	5200	60	0	80	0		0
xc7z010	Iclg400-1	400	100	17600 3	5200	60	0	80	0		0



• Нажмем Finish



• Дождемся инициализации проекта

Create Project		
Initializing project		
	Background	Cancel

• Готово!





• В IP INTEGRATOR создаем блок Create Block Design имя оставлю по умолчанию



• Добавлю систему ZYNQ7 на диаграмму



• ZYNQ на диаграмме

A hello_world - [F:/fpga_workspace/hello_	world/hello_world.xpr] - Vivado 2020.2	– – ×
<u>F</u> ile <u>E</u> dit Flow <u>T</u> ools Rep <u>o</u> r	ts <u>W</u> indow Layout <u>View H</u> elp <u>Q- Quick Acc</u>	ess Ready
🕒 🔛 🐟 🗇 🕒 🐘 🗙	(oo 🖂 🕨 👬 🕸 🔀 🖉 🕅	🗮 Default Layout 🗸 🗸
Flow Navigator	BLOCK DE SIGN - design_1 *	? ×
PROJECT MANAGER Settings Add Sources Language Templates P IP Catalog	Sources Design × Signals ? □ Ľ Q ≚ ½ Ø	Diagram × Address Editor × ▲ Address Map □ □ □ □ □ □ □ □ × ▲ ■
 IP INTEGRATOR Create Block Design Open Block Design Generate Block Design SIMULATION 	C Block Properties ? _ C X Processing_system7_0 + + C General Properties IP	DDR + M_AXI_GP0_ACLK ZYNQ M_AXI_GP0_ACLK ZYNQ FOLK_RESETD_N ZYNQ7 Processing System
Run Simulation	Tcl Console × Messages Log Reports D	esign Runs ? _ 🗆 🖸
✓ RTL ANALYSIS	Q, 素 ≑ II ₪ Ⅲ 面	
Open Elaborated Design SYNTHESIS Run Synthesis Open Synthesized Design	<pre>© create_bd_design "design_l"</pre>	<pre>:llo_world.srcs\sources_l\bd\design_l\design_1.bd> upprocessing_system7_0 ></pre>



• Дважды кликаем по блоку ZYNQ на диаграмме, чтобы перейти в настройки системы ZYNQ



• Переходим во вкладку PS-PL Configuration и на всякий случай снимаем галочку

🙏 Re-customize IP				×
ZYNQ7 Processing Sy	stem (5.5)			4
1 Documentation 🔅 Pres	ets 📄 IP Location 🔅 Import XPS Setting	s		
Page Navigator —	PS-PL Configuration			Summary Report
Zynq Block Design	← Q ≚ ≑			
PS-PL Configuration	Search: Q-			
	Name	Select	Description	
Peripheral I/O Pins	> General			
MIO Configuration	 AXI Non Secure Enablement 	0 ~	Enable AXI Non Secure Transaction	
	 GP Master AXI Interface 			
Clock Configuration	> M AXI GP0 interface	Image: Second	Enables General purpose AXI master interface 0	
DDR Configuration	> M AXI GP1 interface		Enables General purpose AXI master interface 1	
	 GP Slave AXI Interface 			
SMC Timing Calculation	S AXI GP0 interface		Enables General purpose 32-bit AXI Slave interface 0	
Interrupts	S AXI GP1 interface		Enables General purpose 32-bit AXI Slave Interface 1	
	> HP Slave AXI Interface			
	> ACP Slave AXI Interface			
	> DMA Controller			
	> PS-PL Cross Trigger interface		Enables PL cross trigger signals to PS and vice-versa	
			ок	Cancel

• Настроим аппаратные блоки, хотя некоторые могут и не потребоваться.

ile <u>E</u> dit	2 mar riocessing by	Stell (0.0)						· •	Read
, 111	1 Documentation 🔅 Pres	sets 🗁 IP Location 🔅 Import X	PS Settings						
wNavigat								_	
PROJECT	Page Navigator —	MIO Configuration					Summ	ary Report	
Setting	Zyng Block Design	Bank 0 I/O Voltage LVCMOS	3.3V 🗸	Bank 1 I/O Voltage	LVCMOS 3.3V 🗸				
Add S	PS-PL Configuration							-	
Cangu	Peripheral I/O Pins	Search: Q-	•					_	
	MIO Configuration	Peripheral	10	Signal	IO Type	Speed	Pullup	Direction	
Create	Clock Configuration	 Memory Interfaces 							
OpenI		SRAMNOR Flash							
Gener	DDR Configuration	> NAND Flash	MIO 0 2 14	× I					
	SMC Timing Calculation	> VO Peripherals							
SIMULATI	Interrupts	> Application Processor Unit							
Run S		> Programmable Logic Test	and Debug						
RTL ANAL									
> Open I									
OVATUES									
Run S									
)



Page Navigator —	Peripheral I/O	Pins											Summar	y Rep
Zynq Block Design	← Q ±	\$												
S-PL Configuration	Search: Q-													
eripheral I/O Pins				Bank	0 LV0	MOS 3.3V	~			Bank 1	LVCM	DS 3.3V	~	
IIO Configuration	Peripherals	0 1	2 3	4 5	6 7	89	10 11	12 13	14 15	18 17	18 19	20 21 En	22 23 et0	24
lock Configuration	> Ethernet 1													
DR Configuration	USB 0													
Dicconfiguration	USB 1													
MC Timing Calculation	> 🗆 SD 0										SD0			
nterrupts	> 🗌 SD 1							SD1						st
	> SPI 0									SPIO		mos		
	> SPI 1						SPI1						SPI	1
	> UART 0						UARTO		UARTO		UARTO		UARTO	1
	> 🕑 UART 1	1				UART1		UART1		UART1		UART1		UAR
	12C 0						1200		1200		1200		12C0	-
	0 120 1									-		_		1

• На вкладке MIO Configuration настроим SD и UART1

YNQ7 Processing Sy	stem (5.5)						1
Documentation 🔅 Pres	ets 🔚 IP Location 🏾 🏶 Imp	ort XPS Settings					
Page Navigator –	MIO Configuration					Summ	ary Repor
Zyng Block Design	Bank 0 I/O Voltage LVCM	OS 3.3V 🗸	Bank 1 I/O Volt	age LVCMOS 3.3V	~		
PS-PL Configuration	← Q ± ≑	4 0					
Peripheral I/O Pins	Search: Q-						
IIO Configuration	Peripheral	10	Signal	IO Type	Speed	Pullup	Direc
Nock Configuration	USB 0						
Sides Comigaration	USB 1						
DR Configuration	> 🕑 SD 0	MIO 40 45	~				
MC Timing Calculation	> 🗌 SD 1						
	> 🗌 UART 0						
nterrupts	> VUART 1	MIO 2425	~				
	D 12C 0						
	12C 1						
	> 🗌 SPI 0						
	> 🗌 SPI 1						
	> 🗆 CAN 0						
	> 🗆 CAN 1						
	> GPIO						
	<						

• Если в будущих проектах планируется тактировать PL логику от системы ZYNQ в качестве источника, то это можно настроить во вкладке Clock Cinfiguration выход FCLK_CLK0

Page Navigator —	Clock Configuration					Summary Repo		
Zynq Block Design	Basic Clocking Advanced	Clocking						
PS-PL Configuration	Input Frequency (MHz) 33.3333	133 💿 CF	U Clock Ratio 6:2:1	~				
Peripheral I/O Pins	← Q ± ≑ €							
UIO Configuration	Search: Q-							
Clock Configuration	Component	Clock Source	Requested Frequ	Actual Frequency	Range(MHz)	7		
ODB Configuration	> IO Perinheral Clocks					_		
JOR Conliguration	Y PL Fabric Clocks							
SMC Timing Calculation	FCLK CLK0	IO PLL V	50 💿	50.000000	0.100000 : 250.000000			
nterrupts	FCLK_CLK1	IO PLL	50	10.000000	0.100000 : 250.000000			
	C FCLK_CLK2	IO PLL	50	10.000000	0.100000 : 250.000000			
	FCLK_CLK3	IO PLL	50	10.000000	0.100000 : 250.000000			
	System Debug Clocks							
	> Timers							



• Далее, настроим параметры DDR

🔈 Re-customize IP				>
ZYNQ7 Processing Sy	stem (5.5)			4
Documentation 🔅 Pres	sets 📄 IP Location 🔅 Import XPS Settin	ngs		
Page Navigator —	DDR Configuration			Summary Report
Zynq Block Design	Enable DDR			
PS-PL Configuration	€ Q ¥ €			
Peripheral I/O Pins	Search: Qr			
MIQ Configuration	Name	Select		Description
and official and	 DDR Controller Configuration 			
Clock Configuration	Memory Type	DDR 3	~	Type of memory interface. Refer to UG585 Zyng Technical Refer
DDR Configuration	Memory Part	MT41K128M16 JT-125	~	Memory component part number. For unlisted parts choose "Cus
	Effective DRAM Bus Width	16 Bit	~	Data width of DDR interface, not including ECC data width. Refe
SMC Timing Calculation	ECC	Disabled	~	Enables error correction code support. ECC is supported only fo
Interrupts	Burst Length	8	~	Minimum number of data beats the controller should use when c
	DDR	533.333333	٢	Memory clock frequency. The allowed freq range is (200.00000
	Internal Vref			Enables internal voltage reference source. Disable to use extern
	Juntion Temperature (C)	Normal (0-85)	~	Intended operating temperature range. Controls the DDR refrest
	> Memory Part Configuration			
	> Training/Board Details	User Input	~	
	> Enable Advanced options			Enable Advanced DDR QoS settings
	1		_	
				OK Cancel

• Там же параметры задержки

ZYNQ7 Processing Sys	stem (5.5)			4
Documentation 🔅 Pres	ets 🗇 IP Location 🔹 Import XPS Setti	ngs		
Page Navigator –	DDR Configuration			Summary Report
Zynq Block Design	Enable DDR			
PS-PL Configuration	← Q ± 0			
Peripheral I/O Pins	Search: Q-			
NIO Castauration	Name	Select		Description
and configuration	Memory Type	DDR 3	~	Type of memory interface. Refer to UG585 Zyng Technical Ref-
Clock Configuration	Memory Part	MT41K128M16 JT-125	~	Memory component part number. For unlisted parts choose "Ci
DDR Configuration	Effective DRAM Bus Width	16 Bit	~	Data width of DDR interface, not including ECC data width. Re-
SMC Timing Calculation	ECC	Disabled	~	Enables error correction code support. ECC is supported only t
	Burst Length	8	~	Minimum number of data beats the controller should use when
Interrupts	DDR	533.333333	0	Memory clock frequency. The allowed freq range is (200.0000)
	Internal Vref			Enables internal voltage reference source. Disable to use exte
	Juntion Temperature (C)	Normal (0-85)	~	Intended operating temperature range. Controls the DDR refre
	> Memory Part Configuration			
	 Training/Board Details 	User Input	~	
	> DRAM Training			
	> DQS to Clock Delay (ns)			
	 Board Delay (ns) 		_	
	DQ[7:0]	0.106	0	Board delay [0] (ns). The midrange of data (DDR_DQ, DDR_DI
	DQ[15:8]	0.106	0	Board delay [1] (ns). The midrange of data (DDR_DO, DDR_DI
	DQ[23:16]	0.106	0	Board delay [2] (ns). The midrange of data (DDR_DQ, DDR_DI
	DQ[31:24]	0.106	٢	Board delay [3] (ns). The midrange of data (DDR_DQ, DDR_DI
	> Enable Advanced options		_	Enable Advanced DDR QoS settings

- На этом все. Нажимаем "ОК".
- На диаграмме запускаем "Run Block Automation" оставляя параметры по умолчанию и тоже нажимаем "ОК"

À Run Block Automation	×
Automatically make connections in your design by	r checking the boxes of the blocks to connect. Select a block on the left to display its configuration options on the right.
Q X € ∨ W All Automation (1 out of 1 selecter) W ♥ processing_system_0	Description This option sets the board prease on the Processing System All current properties will be overwritten by the board prease in controls applies current board prease and generates external conditionation applies current board preases and generates external conditionation. HOTE: Apply Board Preaset will discard existing IP configuration - please uncheck this box, if you wish to retain previous configuration. HOTE: Apply Board Preaset will discard existing IP configuration - please uncheck this box, if you wish to retain previous configuration. Instance: processing_system7_0 Optione Make Interface External: FXED_IO, DDR Oress Tripper Out: Disable
(?)	OK Cancel



• На диаграмме увидим следующее



- Сохраняем диаграмму.
- Переходим на вкладку Sources, выбираем диаграмму, создаем обертку и генерируем че-то там еще. Моя не понимать



• Create HDL Wrapper - соглашаемся, пусть система обновляет файлы в случае изменения дизайна.





• В Generate тоже оставляем все без изменений



• Далее запускаем Run Synthesis, Run Implementation, Generate Bitstream. В итоге можно открыть Implementation Design и посмотреть на него (как на новые ворота)

A hello_world - [F:/fpga_workspace/hello_w	prld/hello_world.xpr] - Vivado 2020.2	- 🗆 ×
<u>File Edit Flow Tools Reports</u>	Window Layout View Help Q- Quick Access	write_bitstream Complete
	🗴 🕨 🛱 😋 🖻 🏟 Σ 🗶 🖉 🗶	📰 Default Layout 🛛 🗸
FlowNavigator ≚ ≑ ? _	IMPLEMENTED DE SIGN - xc7z010clg400-1	?)
PROJECT MANAGER	Sources Netlist × ? _ □ Ľ Project Summary × Device ×	? 🗆 🖸
Add Sources	★ ↓ </td <td>D 🔍 🌣</td>	D 🔍 🌣
Language Templates	N design_1_wrapper > □ Nets(130) > [] design_1_i(design_1)	
 IP INTEGRATOR Create Block Design 	Source Elle Broeadles	1
Open Block Design		
Generate Block Design	Select an object to see properties	
✓ SIMULATION	Tel Console Messages Log Reports Design Runs Power Timing y	2 0 6
Run Simulation	Q ¥ ♦ ● ↓ Design Timing Summary	U U
✓ RTL ANALYSIS	General Information Timer Settings Setup Hold Pulse V	Width
> Open Elaborated Design	Design Timing Summary Worst Negative Stack (WNS): NA Worst Hold Stack (WHS): NA Wo	rst Pulse Width Slack (WPWS
Y SYNTHESIS	Crock summary (1) Total Negative Slack (TNS): NA Total Hold Slack (THS): NA Tot Sin Check Timing (0) Number of Equipe Endepicts: NA Number of Equipe Endepicts: NA	al Pulse Width Negative Slac
Run Synthesis	User Ignored Paths Total Number of Endpoints: NA Total Number of Endpoints: NA Total	tal Number of Endpoints:
> Open Synthesized Design	Unconstrained Paths All user specified timing constraints are met.	
		>

• Далее экспортируем полученный результат

A hello_world - [F:/fpga_workspace/hello_wo	ld/hello_world.xpr] - Vivado 2020.2	- 0 ×
Eile Edit Flow Tools Reports	Window Layout View Help Q- Quick Access	write_bitstream Complete
Project		💷 Default Layout 🛛 🗸
Add Sources Alt+A	LEMENTED DE SIGN - xc7z010dg400-1	?
Close Project	urcas Natist v 2 E E Draiast Summary v Davisa v	2 0 17
Close Implemented Design		
Constraints		Q Q Q
Simulation Waveform	Gesign_1_wrapper	
Checkpoint	design_1_i (design_1)	
ĮP.		
Text Editor		Ĩ
Import	urce File Properties ? _ C X	
Export	Export Hardware	
Print Ctrl+	Export Constraints See properties	
Exit	Export Pblocks g Reports Design Runs Power Timing ×	2 _ 0 6
Run Simulation	Export IBIS Model	
	Experies Force.	~
V RTL ANALYSIS	Export Simulation Setup Hold Pulse V	Width
> Open Elaborated Design	Design Timing Summary Worst Negative Slack (WNS): NA Worst Hold Slack (WHS): NA Wo	urst Pulse Width Slack (WPWS
W OVNITUEOIO	Clock Summary (1) Total Negative Slack (TNS): NA Total Hold Slack (THS): NA Tot	tal Pulse Width Negative Slac
* SINIHESIS	> Check Timing (0) Number of Failing Endpoints: NA Number of Failing Endpoints: NA Nu	mber of Failing Endpoints:
Run Synthesis	User Ignored Paths Total Number of Endpoints: NA Total Number of E	al Number of Endpoints:
> Open Synthesized Design	Unconstrained Paths All user specified timing constraints are met.	
	() ()	>`
✓ IMPLEMENTATION	Timing Summary - impl_1 (saved)	
Export a hardware description file for use with t	ne Vitis tools	





• Включая bitstream

A Export Hardware Platform	×
Output Set the platform properties to inform downstream tools of the intended use of the target platform's hardware design.	4
Pre-synthesis This platform includes a hardware specification for downstream software tools.	
 Include bitstream This platform includes the complete hardware implementation and bitstream, in addition to the hardware specification for software tools. 	
< <u>B</u> ack Einish Can	cel

• Пути и имя не меняем

esport individ		
iles		
nter the name o	your hardware platform file, and the directory where the XSA file will be stored.	
XSA file name:	design_1_wrapper	8
Export to:	Fifnas workensnaihella world	Ø
Exportio.		
	The XSA will be written to: F:tpga_workspaceinello_world/design_1_wrapperXsa	
	< Back Novt > Einich	Concol



• Готово



• Мы настроили аппаратную часть, экспортировали ее и готовы к написанию прошивки. Теперь переходим в Vitis через меню Tools -> Launch Vitis IDE

			210	*
A hello_world - [F:/fpga_workspace/hello_world/hello_world.	pr] - Vivado 2020.2			
Eile Edit Flow Tools Reports Window L	.a⊻out ⊻iew <u>H</u> elp	Q- Quick Access		write_bitstream Complete \prec
Eloorplanning	•	🗢 🗵 🗶 🖉 🗶		🛛 Default Layout 🛛 🗸
Flow Navigator VO Planning		00-1		? ×
✓ PROJECT MANAGER Timing	+	0	Desilent Community of Deviles	
Settings Power Constraints Advisor		? _ U U	Project summary x Device x	
Add Sources 🔄 Schgmatic	F4	•	€ ⇒ Θ 0 2 3 5 0	а ю 🖬 с, 🔥
Language Templa Show Connectivity				
P IP Catalog Show Hierarchy	F6			
Edit Device Properties				
V IP INTEGRATOR Create and Package New IP.			X0 Y1	
Create Block Desi Create Interface Definition		? _ 🗆 🗆 X		
Open Block Desig Enable Dynamic Function eX	change	\leftarrow \rightarrow \Diamond		
Generate Block D Run Tcl Script		e properties	X0 Y0	x1Y0
Property Editor	Ctrl+J	proportion		
 SIMULATION Associate ELE Files Operate Manager Operation 		Reports Design Runs I	Power Timing ×	? _ 🗆 🖾
Run Simulation Compile Simulation Libraries	ion rile	gn Timing Summary		
V DTI ANALVOIO VIIIuk Olarea				^
Open Elaborated Open Commands		tup	Hold	Pulse Width
		Worst Negative Slack (WNS):	NA Worst Hold Slack (WHS): NA	Worst Pulse Width Slack (WPWS
✓ SYNTHESIS		Total Negative Slack (TNS):	NA Total Hold Slack (THS): NA	Total Pulse Width Negative Slac
Run Synthesis		Total Number of Endpoints	NA Total Number of Endpoints: NA	Total Number of Endpoints
Open Synthesized Design	All	user specified timing constrain	nts are met.	
	> < =	-		×
V IMPLEMENTATION Timing Summ	nary - impl_1 (saved)			
Launch Vitis IDE				

SW часть проекта

• Создаем новый проект платформы. File -> New -> Platform Project...





• Задаем имя платформы



• Выбираем через browse экспортированный ранее проект

Please select a p	platform to create the project					i.,
Create a new	v platform from hardware (XS. ecification	A) Select a platform from reposite	ory			
XSA File: vck xSA File: vc zc7 zc7	ovide your XSA file or use a pre- k190 1k180 702 706	built board description			×	Browse
Software Specify the Operating s	← → ✓ ☐ Новый топ Упорядочить ▼ Новая г	м (F:) → fpga_workspace → hello_work Iarixa Имя	ld >	Поиск: hello_world	р П () Размер	île
Processon	 Быстрый доступ Рабочий сто. // Загрузки // Документы // Изображени // даteware 	hello_world.cache hello_world.gen hello_world.hw hello_world.ip_user_files hello_world.runs hello_world.runs hello_world.runs	21.12.2020 12:49 21.12.2020 12:22 21.12.2020 12:18 21.12.2020 12:49 21.12.2020 12:59 21.12.2020 12:59 21.12.2020 12:18 21.12.2020 12:72	Папка с файлами Папка с файлами Папка с файлами Папка с файлами Папка с файлами Папка с файлами Папка с файлами		
	панимате Видео сякая хрень Этот компьютер ∴ Локальный дис Эрэзервирован Локальный дис с	design_1_wrapper.xa	21.12.2020 13:08	Файл "ХЅА"	255 KG	
	Илля фай	ina: design_1_wrapper.xsa		".xsa;".dsa; Открыть	~ Отмена	

• Больше ничего менять не нужно, нажимаем Finish

Create a	new platfo	m from hardware (XSA) 🔚 Select a pla	tform from repository					
Hardwar	e Specificati	m							
	F:\fpga_w	rkspace\hello_world\de	sign_1_wrapper.xsa						
XSA File:	vck190 vmk180 zc702 zc706 zcu102 zcu106 zed								Browse
Software Specify ti Operatin	Specification he details for g system:	n the initial domain to be tandalone	added to the platfo	orm. More domains car	be after the platfo	m is created by do	uble clicking the	platform.spr fil	e
	c 1	s7_cortexa9_0	~						
Processo		n with selected operatin	g system and proc	essor will be added to ti	ne platform. The pla	itform project can l	be modified later	to add new do	mains or
Boot cor	ote: A domi nange settin	js.							
Processo N cł Boot cor	ote: A domi nange settin nponents	js.							



• Теперь нужно немного скорректировать конфигурацию, чтобы выводить stdin/stdout на наш uart1. В Board Support Package переходим в настройки Modify BSP Settings

- Edd - Secolar Bus, Vilan Basis	Manders Male			
e gait segren gun Anne Proje	t window Help			
				C I Design to Deb
Explorer 32	Hello_world_ebaz4205_platform 13		- 0	00+ V_ 23 • B., 65 E., 1111 R. • 1
E 😼 🚵 🖇	type filter text	Board Support Package		5 - 6 1 C C
> i i export > i i hw > i logs > i ps7_cortexa9_0	Pello_vortd_ebaz4205_platform (0) O ps7_cortexa9_0 Cortexa9_0 Cortexa9_0 Beard Support Package D datablem on pr7_cortexa9_0	View current BSP settings, or configure settings like STDIO periphera intrusive profiling, add/remove libraries, assign drivers to peripherals OS/libraries/drivers etc.	l selection, compiler , change versions of	
platform.co	Board Support Package	A BSP settings file is generated with the user options selected in the settings, click the below link. This operation clears any existing mode changes are applied on top of the loaded settings.	settings dialog. To u: fications done. All th	
		Load BSP settings from file		
		Operating System		
		Name: standalone		Memory 🐹 📟
		Version: 7.3 Standalana is a simple law load offerer laws in		11 11 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
>		Description: features such as caches, interrupts and exception:	as well as the basic	8
Assistant 🖾 😑 🗖		Documentation: standalone v7.3	output, proming, ap-	<u>• * *</u>
E E © % O † 1		Drivers Libraries		
hello_world_ebaz4205_platform [Plat		Name Driver	Documer	
	< >			
	<		>	
	Main Hardware Specification			
	Console 22 S Vitis Serial T O Exe	cutables 🗍 Debug Shell 📳 Vitis Log 📳 Problems 🙀 Debugge	c. = 🗆 🔳 🗰 XS	CT Console 😰 🖬 Emulation Cons. 📟
	Platform Tcl Console	版 副 師 🖻 🛙	XSCT	Process
	<pre>::scw::get_hw_path ::scw::regenerate_psinit F:/fpga_ ::scw::get_mss_path bsp_reload</pre>	workspace/hello_world_zynq/hello_world_ebaz4205_platf	orm/hw/ NFO Load Read	: Populating the default gemu dat ing the sw platform from F:/fpga ing the platform : "helio_world
			waars	

• И проверяем, что все настроено на uart1

🤟 Board Support Package	Settings				×
Board Support Package S	Settings				
Control various settings of	your Board Support Package.				
 Overview standalone 	Configuration for OS: standalone				
✓ drivers ps7_cortexa9_0	Name	Value	Default	Туре	Description
	clocking	false	false	boolean	Enable clocking support
	hypervisor_guest	false	false	boolean	Enable hypervisor guest support for A53 (
	lockstep_mode_debug	false	false	boolean	Enable debug logic in non-JTAG boot mc
	sleep_timer	none	none	peripheral	This parameter is used to select specific t
	stdin	ps7_uart_1	none	peripheral	stdin peripheral
	stdout	ps7_uart_1	none	peripheral	stdout peripheral
	ttc_select_cntr	2	2	enum	Selects the counter to be used in the resp
	zynqmp_fsbl_bsp	false	false	boolean	Disable or Enable Optimization for FSBL's
	> microblaze_exceptions	false	false	boolean	Enable MicroBlaze Exceptions
	> enable_sw_intrusive_profiling	false	false	boolean	Enable S/W Intrusive Profiling on Hardwa
	<				>
?					OK Cancel

• Запускаем build проекта.





• Платформа готова. Теперь создаем приложение File -> New -> Application Project



• Далее выбираем нашу платформу

Select a platform from repository	ite a new plat	form from hardware (XSA				
nd:					🕂 Add 🔅 Manage	
lame	Board	Flow Embedded SW Dev	Vendor xilinx	Path F:\fpga_work	cspace\hello_world_zynq\hello_world_ebaz4205_platform	\exp
					-	
latiom info General Info Name: hello_world_ebas4205_platfor Part: kx72010clg400-1 Family: Zyng Description:	m	Acceleration Resources The selected platform de acceleration capabilities	es not have app	lication	Domain Details Domains Domain name Details standalone on ps7_corte CPU: ps7_cortexa9_0C	^

• Задаем имя приложения

pplication project name: hello_world_ebaz420	15_application		
System Project			
Create a new system project for the applicat	ion or select an existing one from the workpsa	ce 🚯	
Select a system project	System project details		
Create new	System project name: he	ello world ehazd205 application system	
	oysteni project namer in	no_nona_coupleos_appreadon_system	
	larget processor		
	Select target processor for	the Application project.	
	Processor	Associated applications	
	ps7_cortexa9_0	hello_world_ebaz4205_application	
	Show all processors in the	hardware specification	



• Далее

📢 New Application Project			– D X
Domain Select a domain for your project or create a new domain			
Select the domain that the application would link to or create a new don Note: New domain created by this wizard will have all the requirements of	nain of the application template sel	ected in the next step	
Select a domain	Domain details		
standalone on ps7_cortexa9_0 Create new	Name:	standalone_domain	
	Display Name:	standalone on ps7_cortexa9_0	
	Operating System:	standalone	
	Processor	ps/_contexa9_0	
?		< Back Next > Einish	Cancel

• Выбираем темплейт Hello World и нажимаем Finish

Vew Application Project	– 🗆 X
Templates Select a template to create your project.	•••
Available Templates:	
Find:	Hello World
	Let's say 'Hello World' in C.
0	< Back Next > Einish Cancel

• Мы можем открыть исходный код полученного приложения. Скомпилировать и прошить в плату.





• Компиляция - пкм по проекту приложения - Build Project



- Запускаем. Но перед запуском, нужно убрать флешку из разъема SD если она там была, иначе платформа загрузится с нее и не будет доступна для прошивки через JTAG.
- Подключаем программатор к плате. Подключаем переходник USB-rs232 к выходу UART на плате. Подаем питание.





• Запускаем прошивку на плате.



• Для работы с терминалом выберем встроенный инструмент Vitis Serial





• Нажем + для настройки, выбираем порт своего переходника и скорость 115200



• Начался процесс прошивки

ile Edit Search Run Xilinx Project Window He			
			Q 🛛 🖉 Design 救 Debi
🔒 Explorer 😫 📄 🗎	🖌 hello_world_ebaz4 🎽 hello_world_ebaz4 🦋 hello_world_ebaz4	. 👔 helloworld.c 💠 🗖 🗖	(x)= V 22
Holescond dexe205 application system (hele s ~ Holescond dexe205 application sector	<pre>330 /* 330 /* * #lloworld.c: simple test application 33 /* 14 * #lloworld.c: simple test application 34 * #bits application corfigures UAT 1555 to baud rate 95 14 * UART TOPE = NAO BATE 4 * Programming PFGA 555 TME 0.4M8/s 0001 FTA 555 TME 0</pre>	00. , slace	▲ ▲ 日 13 11 ▲ ▲ 日 13 11 ● Memory 32 ■ 1 ■ 1 ■ 1 ■ 1 ■ 1 ■ 1 ■ 1 ■ 1
 Image: Image: Ima	🖸 Console 🖾 Vitis Se 🔯 💽 Execut 🚺 Debug 🧾 Vitis Log 🖹 Pro	oble 💽 Debug " 🗆	XSCT Co 22 Emulati I
retease hello_world_ebas4205_platform [Platform]	¢	Send Clear	ntralizing 0 0 0HB 0.0HB/s 27:27 ETA 21% 0HB 0.0HB/s 72:27 ETA 23% 0HB 0.0HB/s 72:27 ETA 37% 0HB 0.0HB/s 72:27 ETA 47% 0HB 0.4HB/s 72:27 ETA 47% 0HB 0.4HB/s 72:27 ETA 5% 1HB 0.4HB/s 72:27 ETA c →

• В терминале видим сообщения от ядра! Все получилось





Итоги

Пройдя инструкцию по шагам, мы произвели минимальную настройку системы ZYNQ на базе платы EBAZ4205. Для этого мы настроили ее в соответствии с ее аппаратными особенностями: выбрали последовательный порт UART, который выведен на разъем, настроили работу установленной на плате DDR памяти. Экспортировали полученный проект из Vivado. Далее в Vitis мы создали проект платформы на базе нашей платы и создали проект приложения на базе темплейта Hello World. В результате должны были увидеть текстовые сообщения, выведенные через последовательный порт UART, программой, работающей в ядре. И нам это удалось!

Мотивировать автора статьи

Поддержать проект FPGA-Systems.ru

Оставить комментарий/отзыв здесь или здесь



Ссылки

https://hackaday.com/2020/11/18/hacking-the-fpga-control-board-from-a-bitcoin-miner/

https://github.com/xjtuecho/EBAZ4205

https://github.com/Elrori/EBAZ4205

https://www.jianshu.com/p/b83c663ecaaa

https://hhuysqt.github.io/zynq1/

https://www.youtube.com/watch?v=b6g5tNZZnVc

<u>https://github.com/blkf2016/ebaz4205</u> - linux образ для SD флешки для запуска

Разные примеры использования и доработки платы

https://www.programmersought.com/article/63123379082/ EBAZ4205 ZYNQ development board-the first step in getting started

https://www.programmersought.com/article/43024210515/ helloworld of EBAZ4205 of zynq7010

<u>https://www.programmersought.com/article/63646026059/</u> EBAZ4205 mine board ZYNQ7010 uses JTAG to burn program to NAND and run - переключатель

https://www.programmersought.com/article/78153940676/ Mining board EBAZ4205-ZYNQ7010 linux development notes 1---create vivado bare metal project and SDK

https://www.programmersought.com/article/33604391182/ Mining machine board EBAZ4205-ZYNQ7010 linux development notes 3--I2C driver framework explained

<u>https://www.programmersought.com/article/39142405511/</u> zynq7010 transformation of EBAZ4205 entry - как добавить 50 МГц генератор в PL

https://www.programmersought.com/article/22063460399/ Run AXI_DMA interrupt loopback test on EBAZ4205 zynq7010

https://www.programmersought.com/article/91104417164/ EBAZ4205 key interrupt

https://www.programmersought.com/article/65574959208/ EBAZ4205 mining board petalinux development LINUX project

https://youtu.be/Mb-cStd4Tqs видео, на базе которого был создан этот туториал