

КОНФЕРЕНЦИЯ FPGA РАЗРАБОТЧИКОВ

FPGA-Systems 2021.1

Доступно в записи на Youtube

24 апреля 2021 года
Москва, Сколково



Вторая конференция FPGA разработчиков

FPGA-Systems 2021.1

Скриптовая среда для работы с периферией ПЛИС с использованием boundary-scan

Иванов Алексей Владимирович

alexey@jtag.com

+7-965-089-10-80

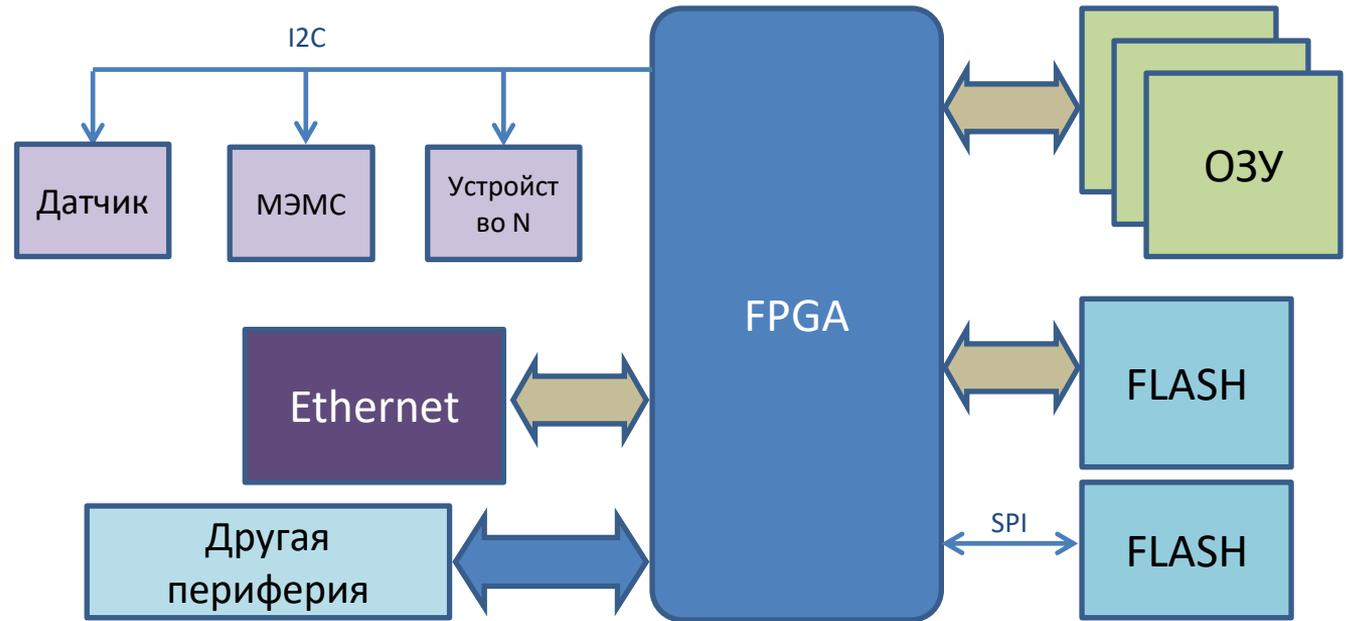
 JtagtechRU

Работа с периферией FPGA

При разработке реального железа

Часто хотелось бы иметь возможность работы с периферией FPGA без «заливки» конфигурации.

По разным причинам.



JTAG Boundary-Scan вам в помощь

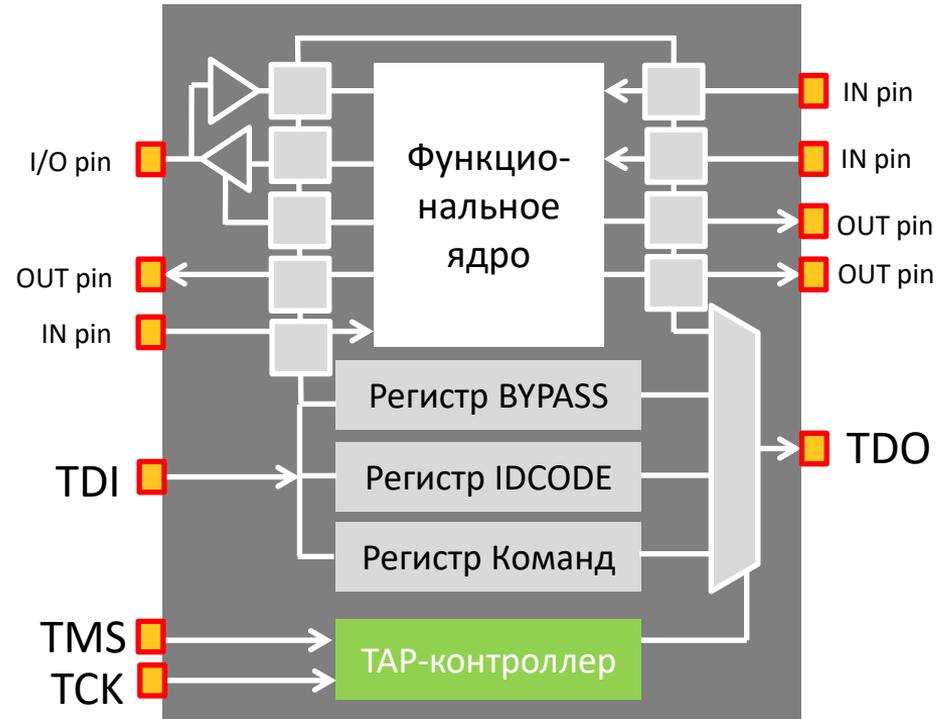
Любые современные FPGA имеют поддержку периферийного сканирования

- Стандарт IEEE 1149.1 (а также IEEE 1149.6) изначально разрабатывался для тестирования собранных печатных плат на серийном производстве
- Преимущество, которое заключается в том, что для тестирования не нужно в ОТ загружать никакого ПО, привело к использованию периферийного сканирования среди разработчиков. Здесь появилось две сферы использования: тест прототипов и отладка железа. Отладка также без загружаемого ПО.
- Разберемся, что это такое, и почему ничего в плату программировать не нужно.

Периферийное сканирование (IEEE 1149.1)

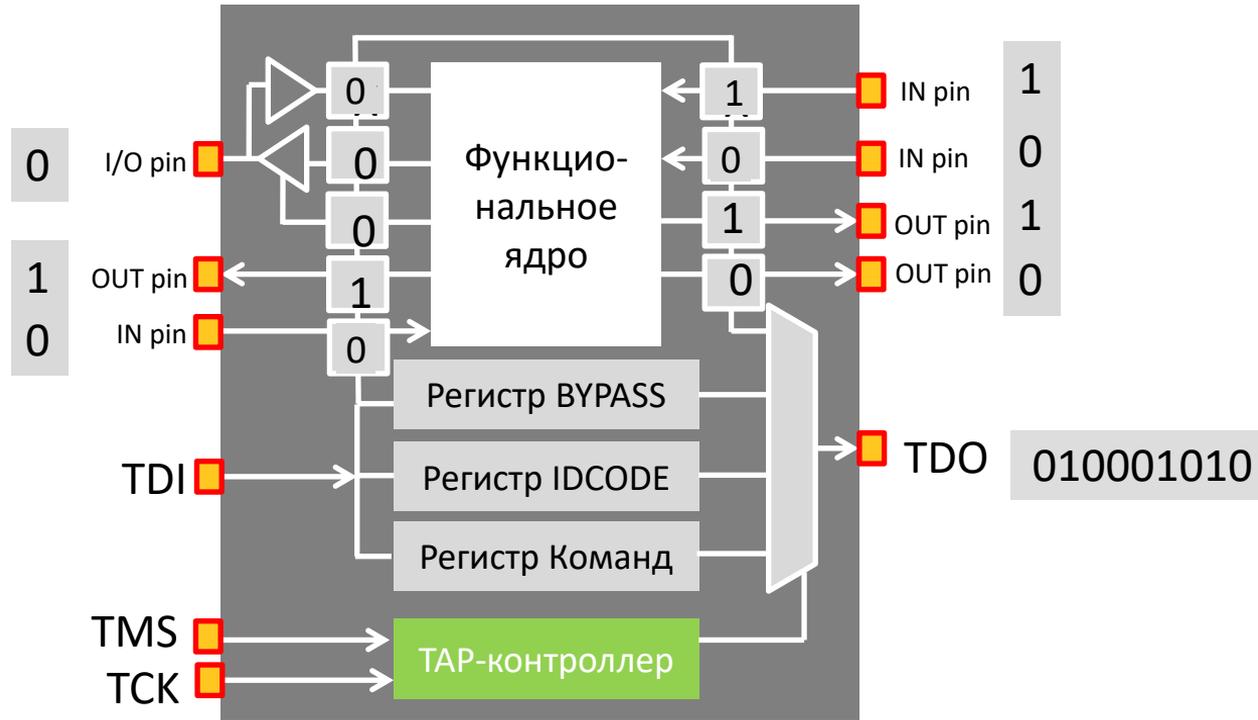
- К основной функциональной логике добавляются специальные регистры и JTAG-интерфейс
- К выводам ИМС подключается регистр периферийного сканирования

Описано в BSDL-
модели на
микросхему

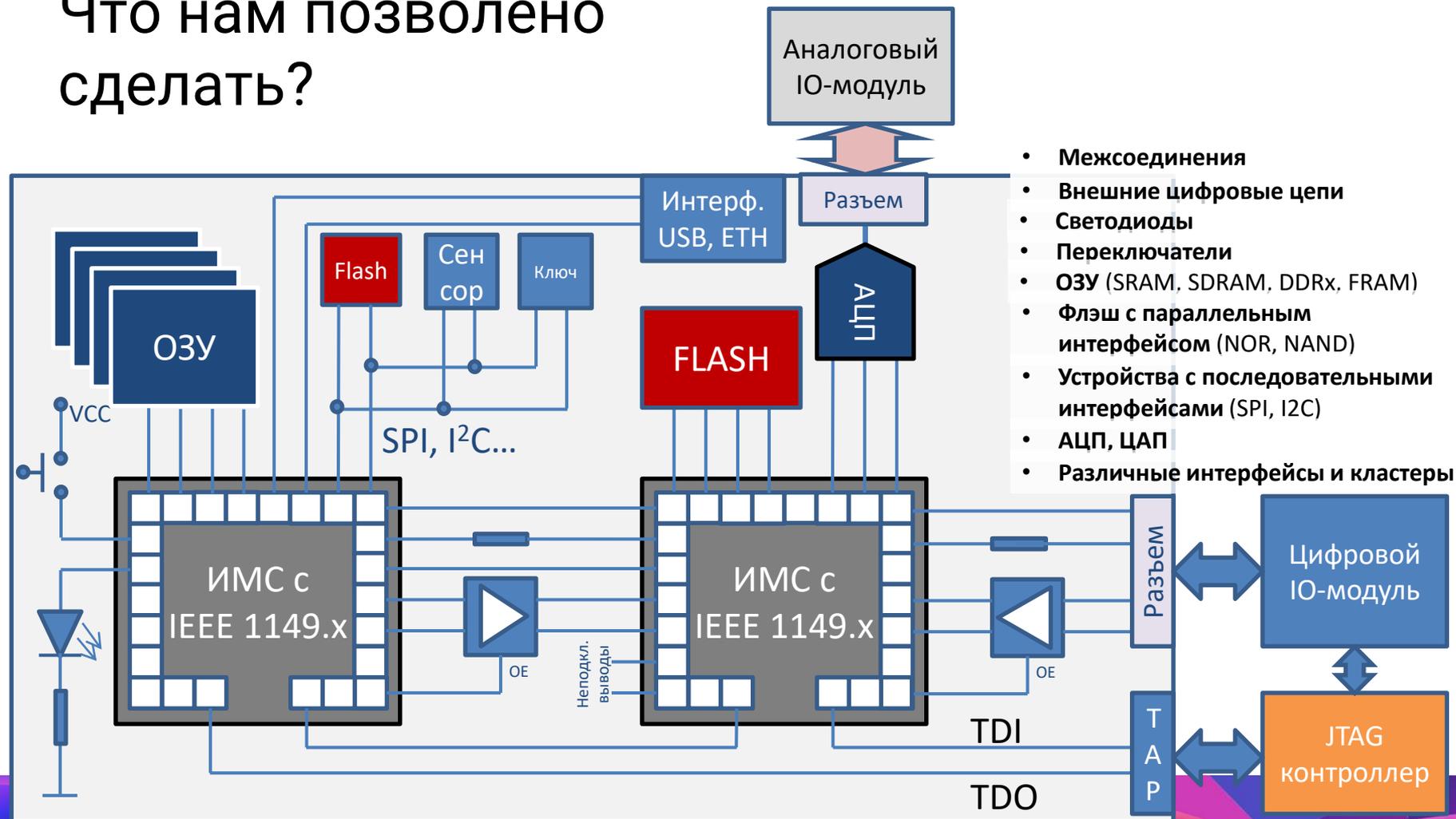


Периферийное сканирование (IEEE 1149.1)

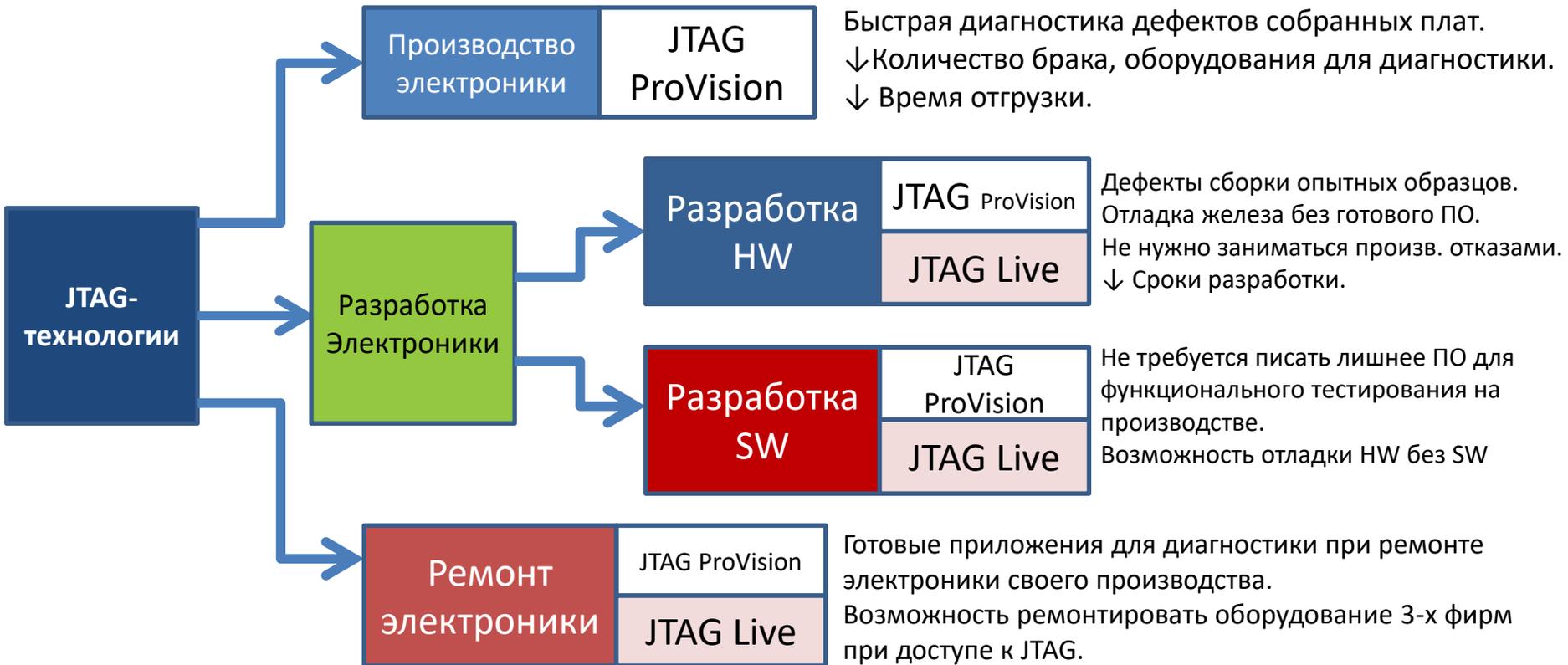
- Внешний контроллер периферийного сканирования подает тестовый вектор
- Вектор задвигается в регистр периферийного сканирования
- Контроллер подает команду EXTEST – данные оказываются снаружи и внешние уровни захватываются
- Финальный вектор выдвигается по TDO



Что нам позволено сделать?



Дерево применений/возможностей



Как из этого велосипеда сделать автомобиль?

А кому-то желательно ещё и беспилотный

- Средства ATPG: изучение схемы ОТ, BSDL-файлов, моделей периферии, и создание полноценных пакетов тестовых векторов.
Инженеру по производственному тестированию это интересно, разработчику – не всегда, или... не всегда достаточно
- Скриптовая среда. Выводы нашей FPGA (к примеру) становятся только аргументами функций. На базе этих функций строятся алгоритмы работы с окружающими FPGA устройствами. В итоге работать будет все равно регистр периферийного сканирования.

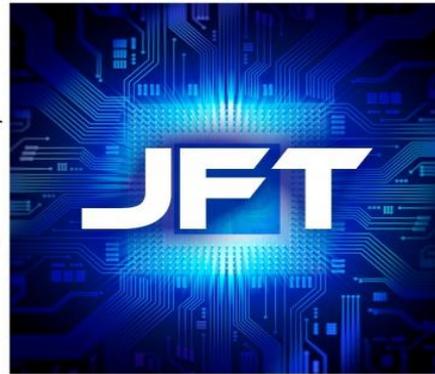
JTAG Functional Test (JFT)

- Среда для создания функциональных тестов периферии, окружающей ПЛИС и другие компоненты с поддержкой JTAG, используя регистры периферийного сканирования и другую JTAG-инфраструктуру. Алгоритм описывает только то, что будет происходить снаружи микросхемы

JTAG Functional Test, области применения:

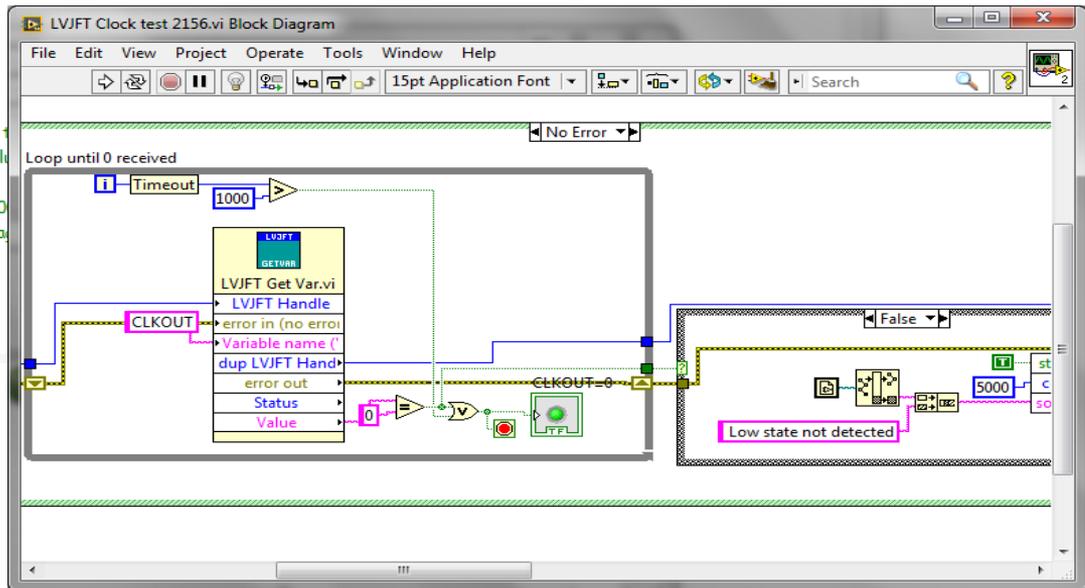
- Как дополнение к тестам, созданным автоматически в JTAG ProVision с помощью ATPG. (Как часть проекта в ProVision). Все больше и больше кластеров на тестируемых платах не имеют решения по тестированию ATPG, так как не возможно создать однозначную модель поведения.
- Как самостоятельный тестовый инструмент, для несложных и не серийных изделий. JTAG Live Script, JFT/Python, JFT/LV, JFT/LW, JFT/DLL, JFT/.NET, JFT/VB
- Как инструмент отладки железа при разработке. Удобно работать с периферией при отсутствии ПО для платы. JTAG Live Script, JFT/Python, JFT/LV, JFT/LW, JFT/DLL, JFT/.NET, JFT/VB

JTAG Functional Test (JFT)



Пример. Алгоритм в Python и LabVIEW

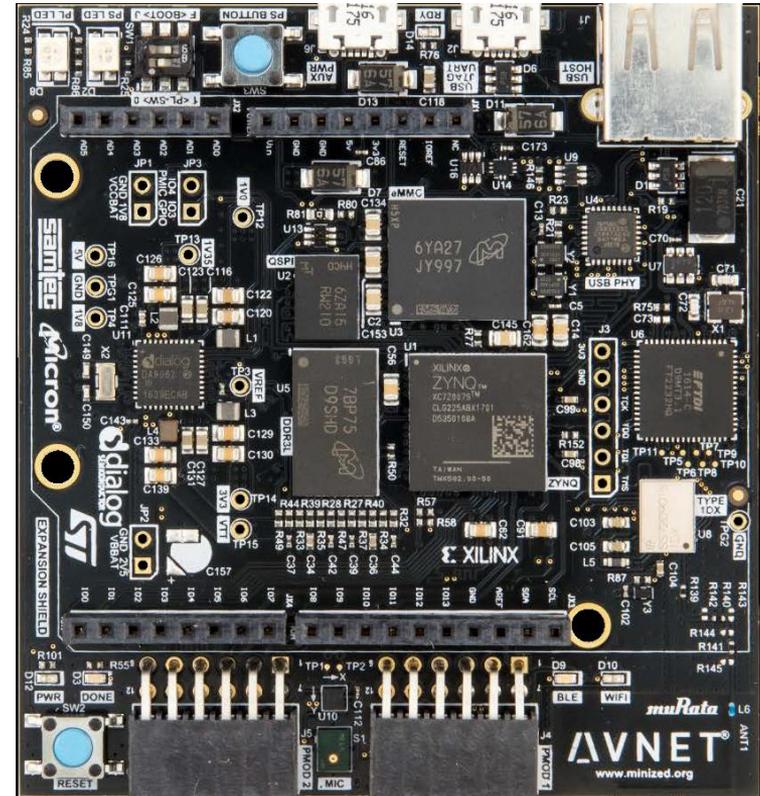
```
22
23 DeclareVar("CLKOUT","U12.G2")      # CLKOUT = U12 pin G2
24
25 loopCounter=0                      #Set variable loopCounter to 0
26 failFlag=0                         #Set variable failFlag to 0
27 while (loopCounter<1000):          #While loopCounter is less t
28     if (GetVar("CLKOUT"))==0:      #Sense CLKOUT. If the val
29         break                      #...exit the loop
30     if loopCounter==999:           #if the loop has occurred 10
31         print("Error: Net not sensed low") #...print error messa
32         failFlag+=1                #...and add 1 to failFlag
33         loopCounter+=1             #increment loop counter
34 #End of while loop
35
```



Один и тот же тест в
разных средах
программирования

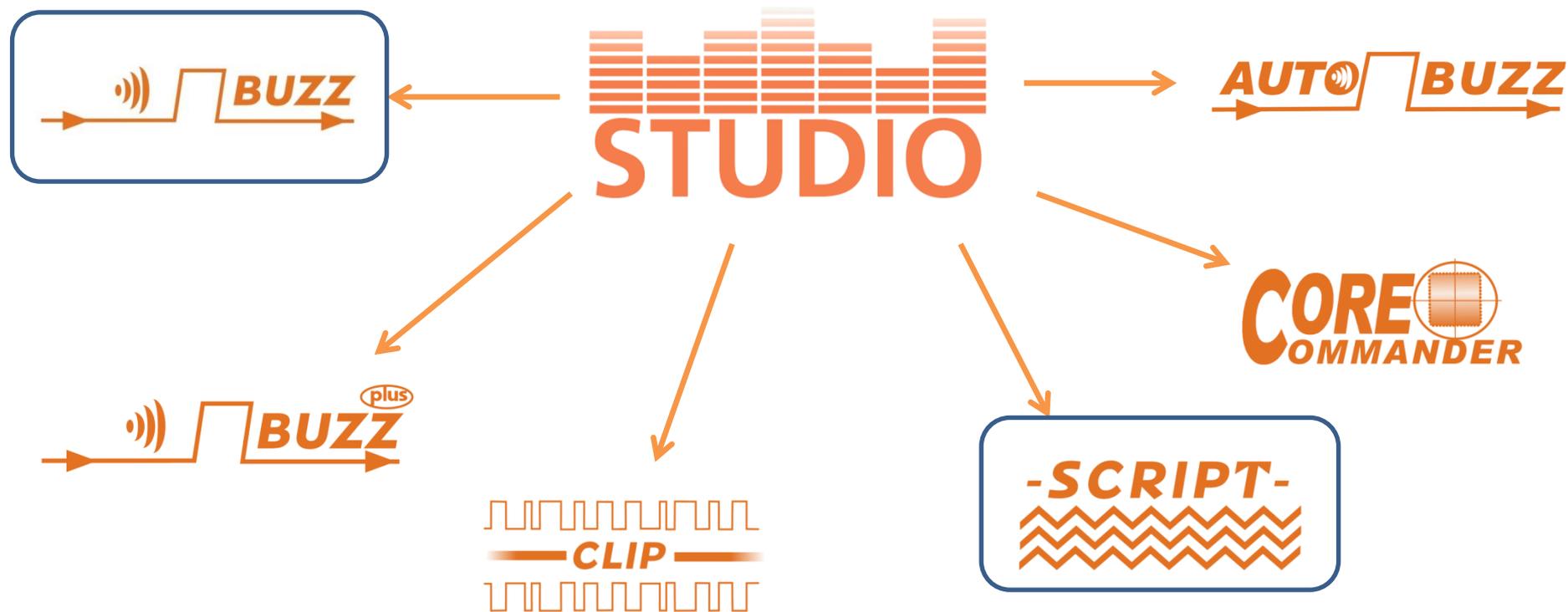
MINIZED с Xilinx Zynq 7Z007S SoC

- FPGA-Systems дали нам эту плату для экспериментов.
- Мы сделали для нее несколько скриптов для того чтобы показать весь спектр возможных приложений



JTAG Live Studio

Для демонстрации будем использовать JTAG Live Script



Демо

Спасибо за внимание!

- JTAG Live Buzz бесплатно качается с сайта www.jtaglive.com
- Вопрос к аудитории: нужно ли нам проводить расширенный стрим по всем функциям JTAG Live Studio?
- Все наши вебинары и тренинги анонсируются и публикуются в нашем телеграме:



Где нас найти?



fpga-systems.ru



t.me/fpgasystems



youtube.com/c/fpgasystems



github.com/FPGA-Systems



vk.com/club185679360



admin@fpga-systems.ru





Генеральный партнёр конференции FPGA-Systems 2021.1



Первая современная отечественная САПР,
реализующая сквозной цикл проектирования печатных плат



Расширение функциональности и автоматизация функций
SDK Комплект программиста (SDK)

www.aremex.ru



Инструменты поддержки для стартапов по электронике – «от идеи до рынка»

- <https://SKOLKOVO.TOOLS> - аренда САПР по спец цене, изготовление MPW & miniASIC, IP-блоки
- Микрогранты: финансирование САПР, MPW, IP-блоков
- Менторская и консультационная поддержка
- Акселерация – организация взаимодействия с крупными компаниями

Информационные партнёры



КТЦ "Инлайн Групп"
мы знаем о Xilinx всё



ЭКСПОНЕНТА
ЦЕНТР ИНЖЕНЕРНЫХ ТЕХНОЛОГИЙ
И МОДЕЛИРОВАНИЯ



PCB SOFT
PCB&IC SOFTWARE



easyelectronics



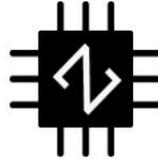
t.me/
ru_electronics

МИЭМ



Сообщество
приборостроителей

JTAG
TECHNOLOGIES



нанософт,
дистрибуция

ОЭС
СПЕЦПОСТАВКА

Где нас найти?



fpga-systems.ru



t.me/fpgasystems



youtube.com/c/fpgasystems



github.com/FPGA-Systems



vk.com/club185679360



admin@fpga-systems.ru

