

III КОНФЕРЕНЦИЯ FPGA РАЗРАБОТЧИКОВ

# FPGA-Systems 2021.2

Доступно в записи на Youtube

Конференция в Москве



Конференция в  
Санкт-Петербурге

Приходи на следующую конференцию

[fpga-systems.ru/meet](https://fpga-systems.ru/meet)

Поддержи мероприятие

Способ 1

Способ 2

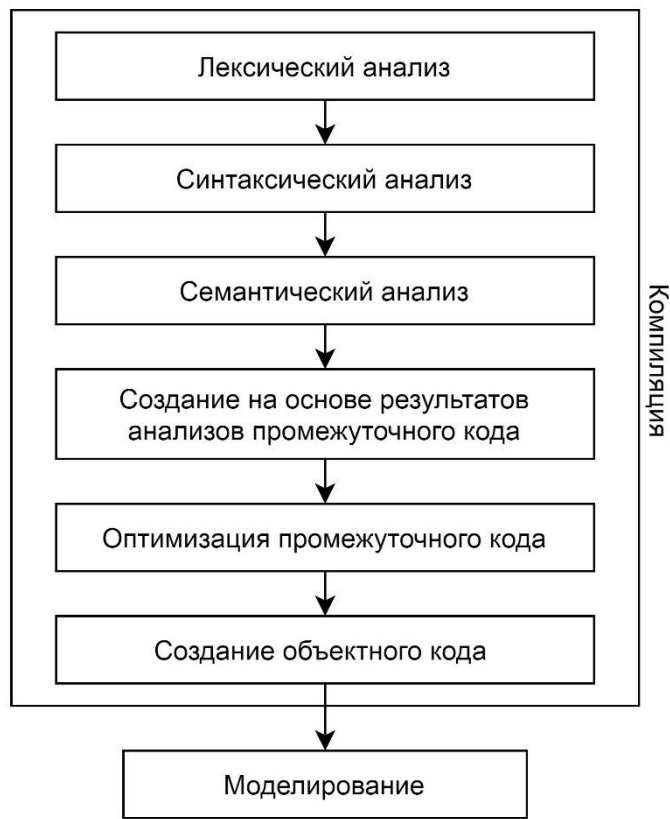
III конференция FPGA разработчиков

# FPGA-Systems 2021.2

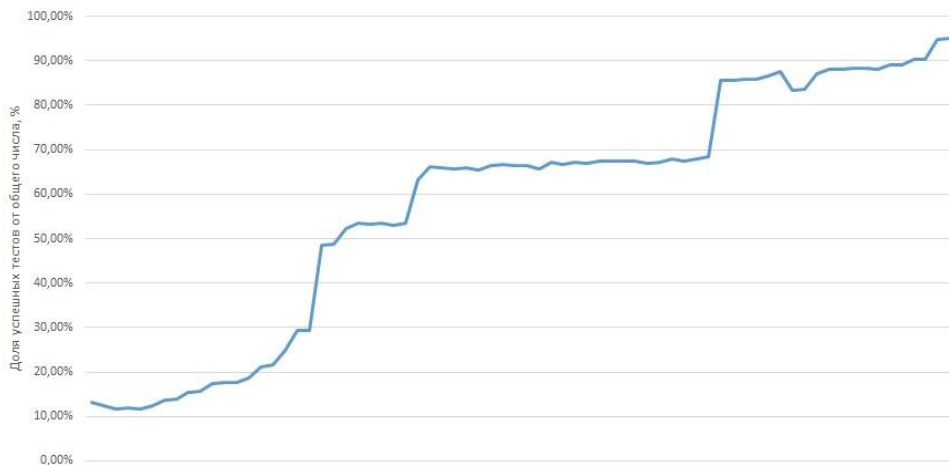
Simtera. Последние обновления в работе  
отечественного HDL-симулятора и синтезатора

Малышев Никита  
ЭРЕМЕКС

# Simtera в марте 2021:



1. Поддерживается лексический и синтаксический анализ  
Verilog/SystemVerilog/Verilog-AMS
2. Закладывается архитектура, начинаются работы по семантическому анализу
3. Парсер работает стабильно, быстро



# Что мы обещали сделать к сегодняшней встрече?

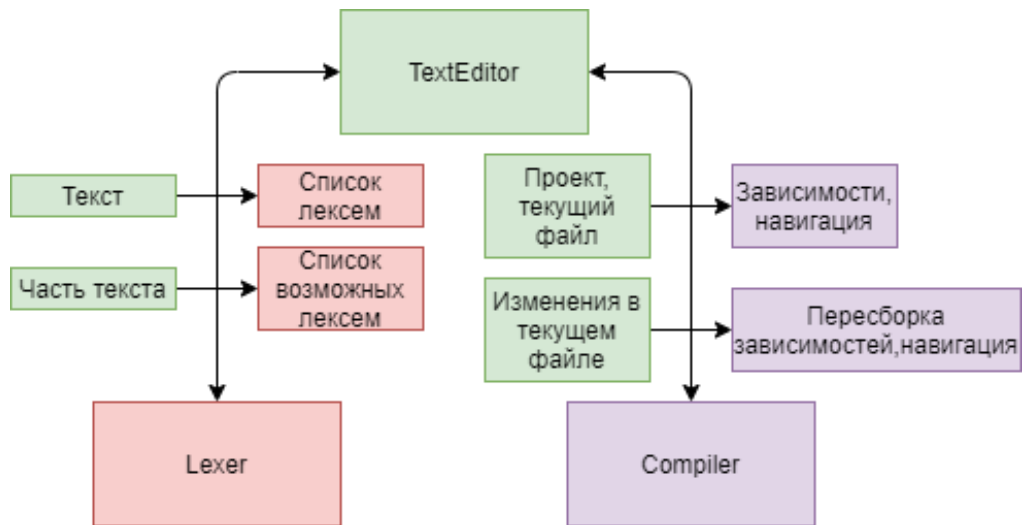
## обещали самим себе...

- Компиляцию (семантический разбор) проектов для Verilog-AMS, SystemVerilog;
- Симуляцию (простых примеров) без использования дерева (AST) VHDL;
- Поддержку IntelliSense в текстовом редакторе.

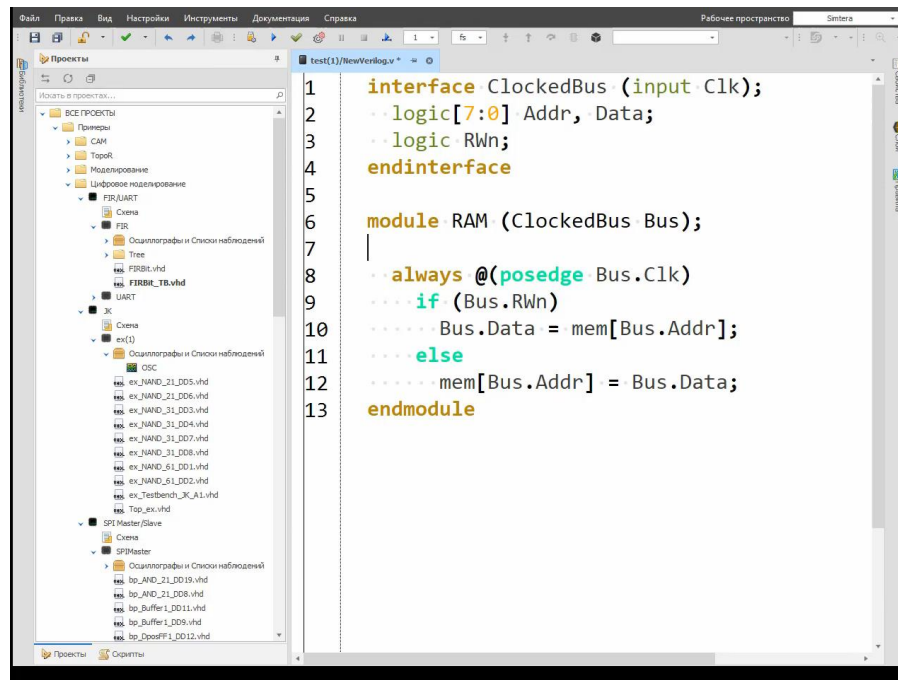
## И сделали

# Взаимодействие пользователя с редактором

Текстовый редактор должен уметь дополнять и определять ключевые слова и переменные в зависимости от контекста; соответственно, он должен взаимодействовать с лексером, парсером и компилятором.

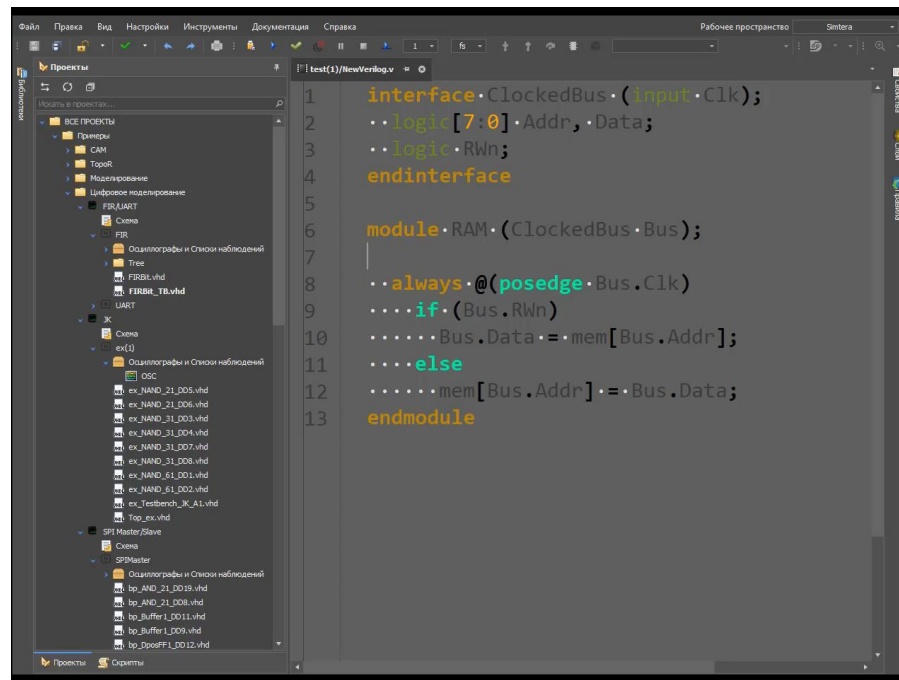


# Автоподсказки для Verilog/SystemVerilog



The screenshot shows the Smtara IDE interface. The left sidebar displays a project tree with folders like 'CAM', 'TopoR', 'Моделирование', and 'Цифровое моделирование'. The main editor window shows a Verilog code snippet with line numbers 1 through 13. The code defines an interface and a module. Auto-completion suggestions are visible for the variable 'Bus' in the module definition and the 'if' statement.

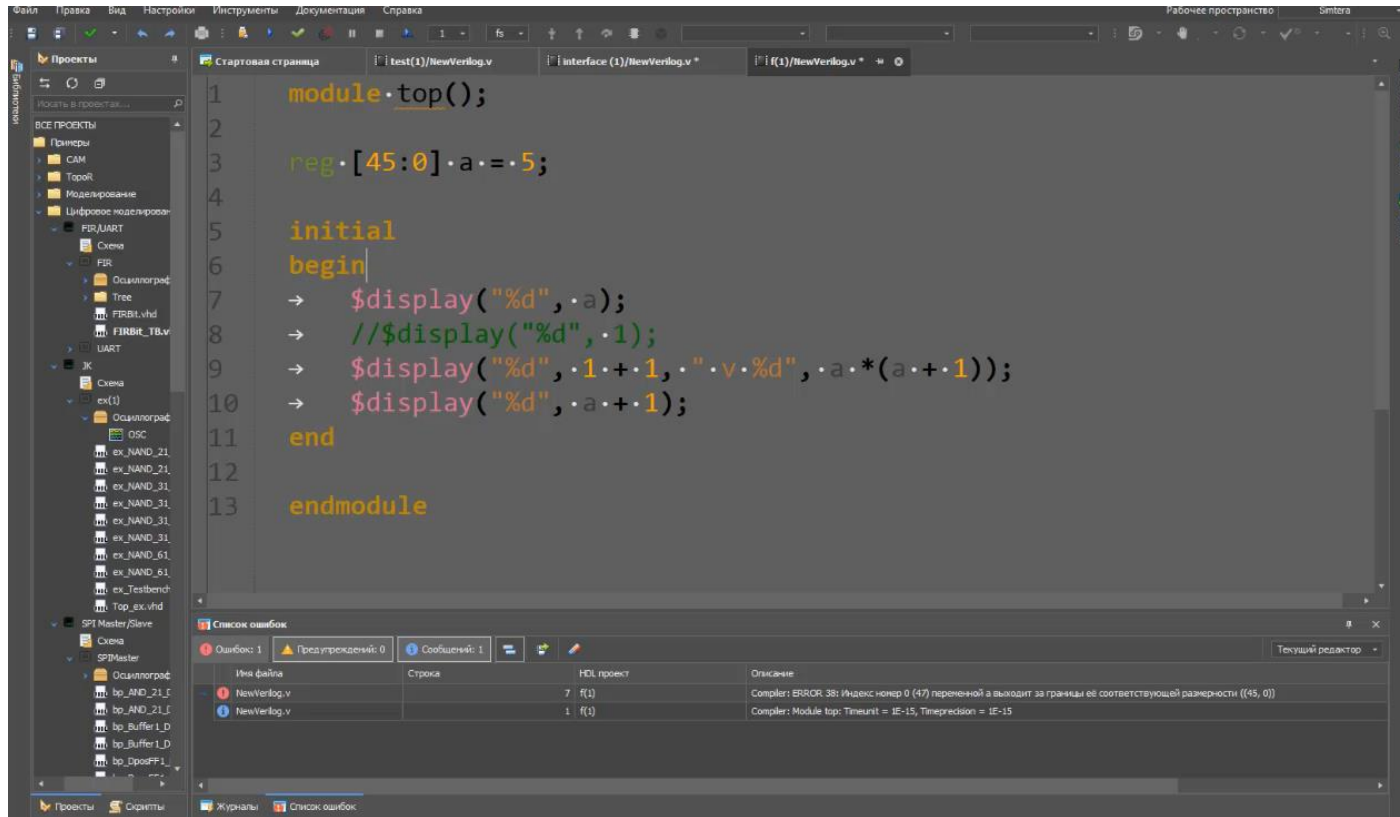
```
1 interface ClockedBus (input Clk);  
2   ..logic[7:0] Addr, Data;  
3   ..logic Rwn;  
4 endinterface  
5  
6 module RAM (ClockedBus Bus);  
7 |  
8   ..always @(posedge Bus.Clk)  
9     ..if (Bus.Rwn)  
10       ..Bus.Data = mem[Bus.Addr];  
11     ..else  
12       ..mem[Bus.Addr] = Bus.Data;  
13 endmodule
```



This screenshot shows the same Smtara IDE interface and code snippet as the previous one. In this instance, the auto-completion suggestion for the variable 'Bus' in the module definition is 'ex(1)' instead of 'Bus'.

```
1 interface ClockedBus (input Clk);  
2   ..logic[7:0] Addr, Data;  
3   ..logic Rwn;  
4 endinterface  
5  
6 module RAM (ClockedBus Bus);  
7 |  
8   ..always @(posedge Bus.Clk)  
9     ..if (Bus.Rwn)  
10       ..Bus.Data = mem[Bus.Addr];  
11     ..else  
12       ..mem[Bus.Addr] = Bus.Data;  
13 endmodule
```

# «Онлайн-поиск» ошибок проекта



# Компиляция проектов (V-AMS, SystemVerilog)

- Задача компиляции – как можно быстрее выявить возможные ошибки и построить «ребра» – дополнительную информацию по всем возможным объектам дерева разбора.
- На текущий момент поддерживается несколько десятков объектов компиляции, по которым проводятся проверки, наполнение, проводится симуляция.
- Расширение компилятора – итеративный непрерывный процесс.
- Компилятор – общая точка для симулятора и синтезатора. **На основе данных компилятора строится функционально идентичное описание на компилируемом ЭВМ языке (симуляция) и происходит составление комбинационных схем (поведенческий синтез).**

# Синтез

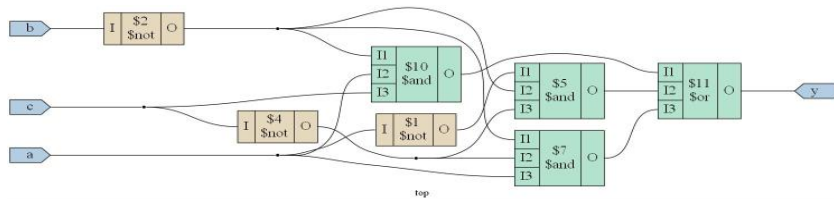
Поведенческий синтез Verilog на уровне RTL заключается в построении схемы высокоуровневых связей: переменных (портов, локальных переменных, чисел, параметров), блоков выполнения бинарных, унарных и имеющих большое число аргументов операций, блоков осуществления комбинационной и синтезируемой последовательностной логики (защелок, мультиплексоров, D-триггеров и их разновидностей, шифраторов/дешифраторов).

В качестве опорного программного обеспечения используется синтезатор Yosys. В то же время при работе с простыми, не подлежащими оптимизации в Synplify компонентами, если результат Synplify заметно лучше Yosys, мы стараемся достичь лучших результатов.

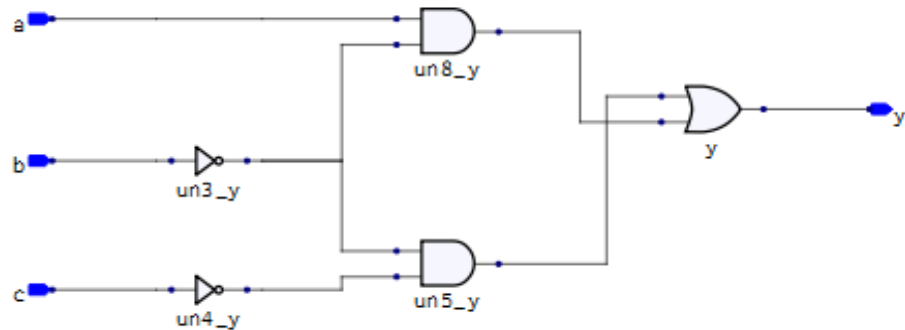
# Поведенческий синтез

Булева функция

```
module top(input logic a, b, c, output logic y);  
  assign y = (~a & ~b & ~c)  
    | (a & ~b & ~c)  
    | (a & ~b & c);  
endmodule
```

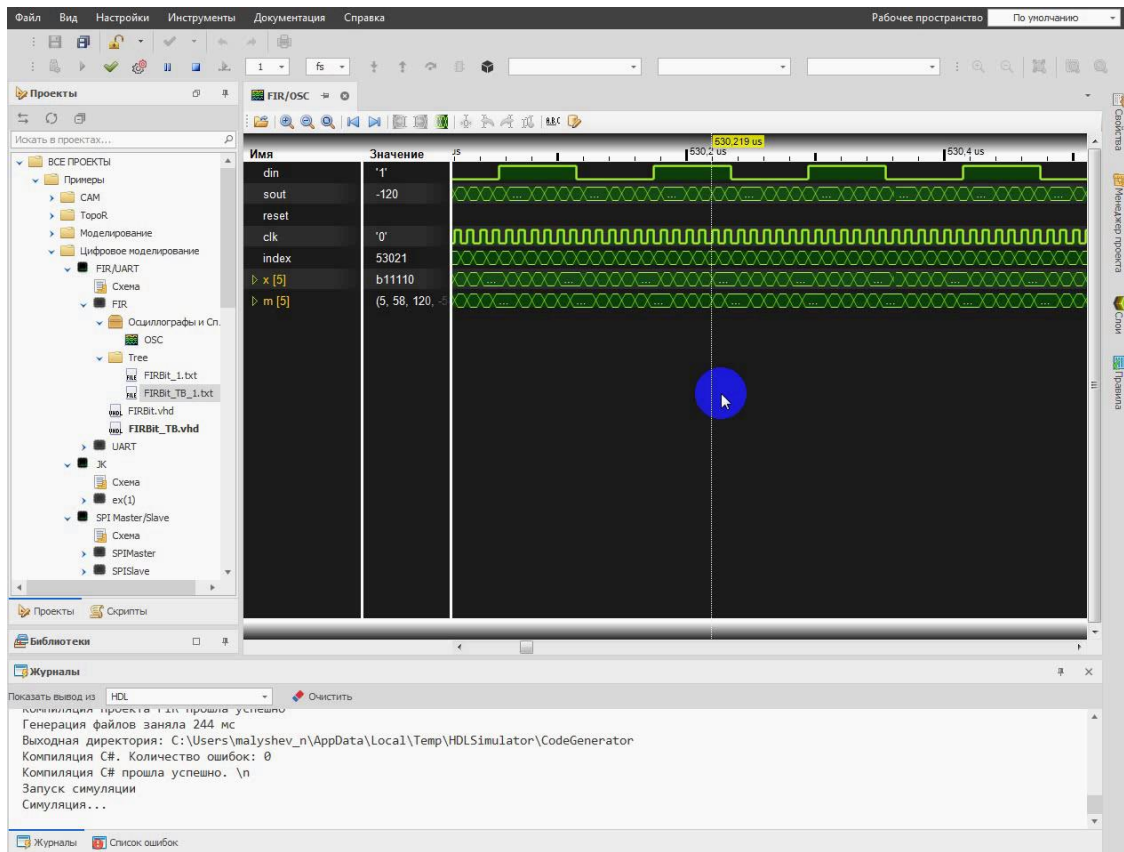


Delta Design Simtera



Synopsys Synplify

# Моделирование проекта



# Моделирование проекта

## Увеличение скорости сборки

Сравним время сборки двух аналогичных проектов на SystemVerilog и VHDL: 290 лексем, 67 строк кода, вложенные if/case, унарные, бинарные операции.

Время сборки включает в себя время работы всех модулей системы с момента запуска сборки проекта до начала его симуляции (лексер, парсер, компилятор, кодогенератор, симулятор).

| Язык          | Время сборки, мс          |
|---------------|---------------------------|
| Исп. AST VHDL | 15773                     |
| SystemVerilog | 3617 (в 4,36 раз быстрее) |

\* Intel i7-2600K, 1Tb HDD, 16 GB

# Спасибо за внимание!

Никита Малышев  
malyshev.n@eremex.ru





DISCOVER.  
DESIGN.  
DEVELOP.

yadro.com

---

Генеральный партнер конференции FPGA-Systems 2021.2

**tech@exponenta.ru**  
**exponenta.ru**



**ЭКСПОНЕНТА**  
ЦЕНТР ИНЖЕНЕРНЫХ ТЕХНОЛОГИЙ  
И МОДЕЛИРОВАНИЯ

- **Технические консультации**
- **Подбор инструментов**
- **Обучение специалистов**
- **Работа на заказ**



Генеральный партнёр конференции FPGA-Systems 2021.2



Первая современная отечественная САПР, реализующая сквозной цикл проектирования печатных плат



[www.eremex.ru](http://www.eremex.ru)

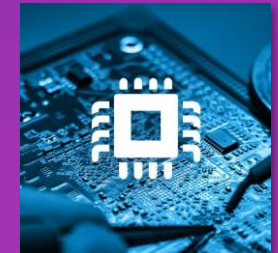
# Информационные партнеры



Сообщество  
приборостроителей



Русская электроника



**PCBSoft**  
PCB&IC SOFTWARE



# Где найти FPGA комьюнити?



fpga-systems.ru



t.me/fpgasystems <=> @fpgasystems



youtube.com/c/fpgasystems



admin@fpga-systems.ru

