

III КОНФЕРЕНЦИЯ FPGA РАЗРАБОТЧИКОВ

FPGA-Systems 2021.2

Доступно в записи на Youtube

Конференция в Москве



Конференция в
Санкт-Петербурге

Приходи на следующую конференцию

fpga-systems.ru/meet

Поддержи мероприятие

Способ 1

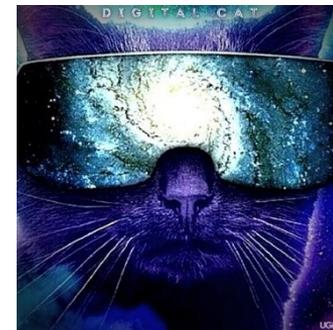
Способ 2

III конференция FPGA разработчиков

FPGA-Systems 2021.2

Разработка несущей платы для модуля *Xilinx Kria*

Максим Попов



Докладчик



Максим Попов

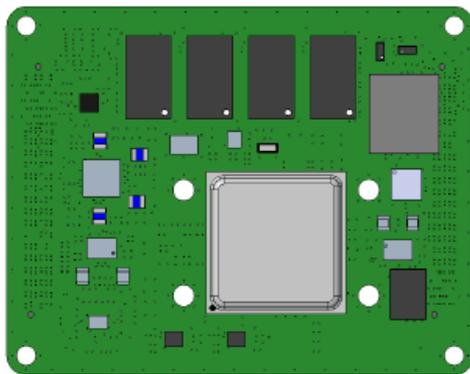
- руководитель департамента разработки программных и аппаратных средств компании-производителя станков с ЧПУ и широкоформатных принтеров
- радиоловитель с 7 лет

План доклада

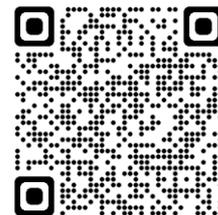
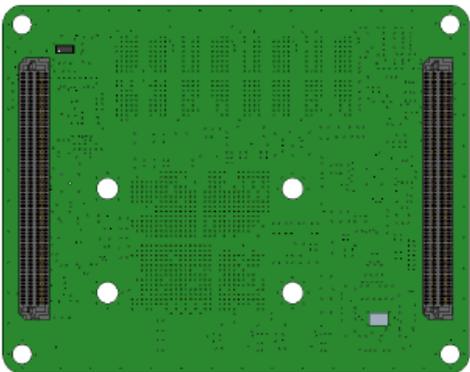
1. Краткая информация о модуле *Xilinx Kria*
 2. *Kria*: ожидание vs реальность
 3. Сравнение сложности плат с модулем *Kria* и без него
 4. Назначение выводов
 5. Источники питания
 6. Источники тактирования
 7. Схема сброса
 8. Результат разработки
 9. Список источников
- Выводы



Краткая информация о модуле *Xilinx Kria*



- 77 x 60 x 10.9 мм (без системы охлаждения), 58 г
- MPSoC: XCK26-SFVC784-2LV (~XCZU5EV)
- DRAM: 4 GBytes DDR4
- 512 Mbytes QSPI Flash, 16 GBytes eMMC, 64 kBytes EEPROM
- Gigabit Ethernet, DisplayPort, CAN, USB 3.0 Host/Device, PCI Express, SATA, UART, SPI, SD, I2C
- 2 x 240-Pin Connectors
- **\$250** (Commercial Grade)
- **\$199** (Kria Starter Kit KV260), ограничение – модуль имеет только один разъем вместо двух



Xilinx Kria: ожидание VS реальность

Ожидание	Реальность	Комментарий
Модуль серьезно упрощает разработку печатной платы проекта	Совершенно верно	Не требуется выполнять трассировку платы для <i>DDR4(!)</i> и самого <i>Zynq Ultrascale+</i> , проектировать источник питания
Несущая плата может быть простейшей, в пару слоев, а монтаж можно выполнить любым оборудованием	Очень маловероятно	Коннекторы с 240 выводами и монтажом <i>BGA</i> сами по себе диктуют сложность платы и монтажа. А есть еще высокоскоростные интерфейсы (иначе зачем <i>Zynq Ultrascale?</i>)
Достаточно лишь развести дорожки от разъема модуля к интерфейсным разъемам	Обычно нет	Для большинства интерфейсов потребуются контроллеры физического уровня (<i>PHY</i>)
Для всей несущей платы нужен единственный источник питания 5 В	Очень маловероятно	Для самого модуля заявлен единственный источник 5 В, но в реальном проекте потребуются дополнительные источники питания, например, для интерфейсных микросхем
Модуль дает серьезный выигрыш в стоимости компонентов	Совершенно верно	Полноценный модуль с чипом уровня <i>XCZU5EV</i> по цене отдельного чипа(!) <i>Zynq Ultrascale+</i> начального уровня
Компания <i>Xilinx</i> гарантирует долгосрочный выпуск <i>Kria</i>	Да	Обещана доступность в течение 10 лет
Модули <i>Kria</i> полностью документированы и имеют поддержку со стороны <i>Xilinx</i>	Да	На уровне остальной продукции <i>Xilinx</i> : схемы, киты, описания, форум и прочее

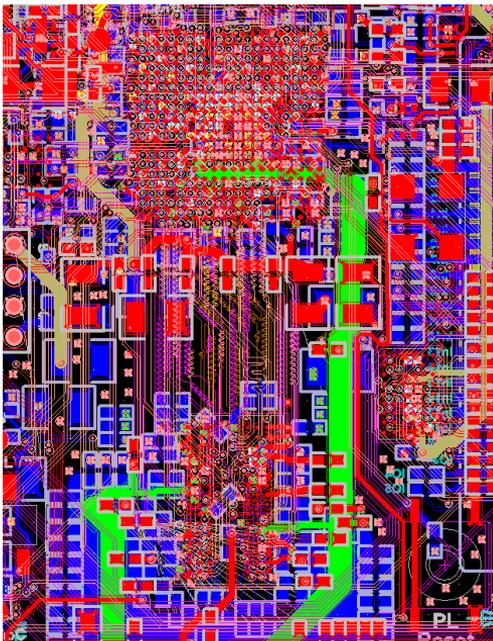


О великий танк озера,
в чем твоя мудрость?

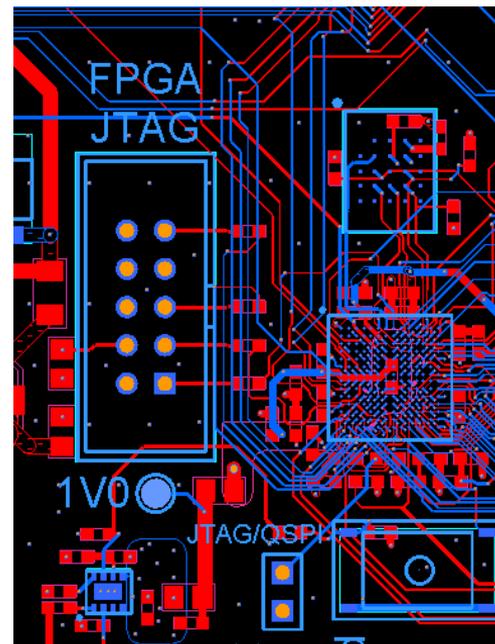


Модуль *Kria*
не очень подходит
для хобби!
(покупайте **Starter Kit**)

Сложность платы на примерах



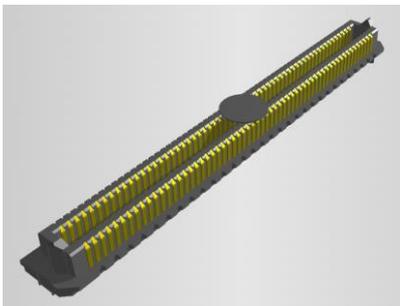
- Zynq-7000, 512 MB DDR3, 2x USB 2.0, HDMI, 100 Mbit Ethernet, 40 GPIO
- 14 слоев



- Kria, 4x USB 3.0, HDMI, DisplayPort, Gigabit Ethernet, 40 GPIO
- 6 или 8 слоев

Коннекторы

Samtec ADM6-60-01.5-L-4-2-A

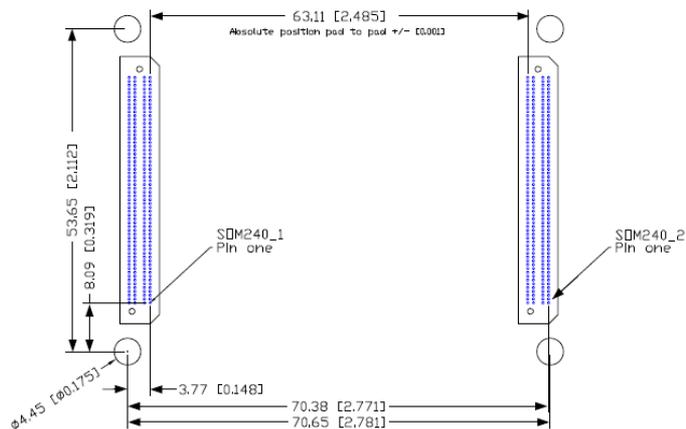


Основные характеристики:

- 240 выводов
- монтаж BGA(!), шаг выводов 0.635 мм
- скорость до 56 Гбит/с
- стоимость в РФ около 4..5 тысяч рублей за 1 штуку



Расположение разъемов и опор модуля



Основные группы выводов:

- питание
- служебные
- PS MIO
- PS-GTR (4 канала, до 6 Гбит/с)
- PL HP (High Performance)
- PL HD (High Density)
- PL GTH (4 канала, до 12.5 Гбит/с)



Выводы питания, управления, отладки

Выводы для подачи питания

VCC_SOM
VCC_BATT
VCCO_HDA
VCCO_HDB
VCCO_HDC
VCCO_HPA
VCCO_HPБ
VCCO_HPC
GND



Выводы управления питанием

PWROFF_C2M_L
VCCOEN_PS_M2C
VCCOEN_PL_M2C



Выводы сброса/перезагрузки

PS_POR_L
PS_SRST_C2M_L



Выводы JTAG

JTAG_TMS_C2M
JTAG_TDO_M2C
JTAG_TDI_C2M
JTAG_TCK_C2M



Power Rail Name	Supported Voltage Range	Maximum Current	Description
VCC_SOM	5V (4.75V - 5.25V) 50 mV p-p maximum noise	4A	Main power input to the SOM. Supplies power to on-board power regulators.
VCC_BATT	1.50V		External battery input for the RTC
VCCO_HPA	1.00V - 1.80V	1.0A	Voltage rail for HPIO bank 66
VCCO_HPБ	1.00V - 1.80V	1.0A	Voltage rail for HPIO bank 65
VCCO_HPC	1.00V - 1.80V	1.0A	Voltage rail for HPIO bank 64
VCCO_HDA	1.20V - 3.30V	1.0A	Voltage rail for HDIO bank 45
VCCO_HDB	1.20V - 3.30V	1.0A	Voltage rail for HDIO bank 43
VCCO_HDC	1.20V - 3.30V	1.0A	Voltage rail for HDIO bank 44



Выводы выбора режима загрузки

MODE0_C2M
MODE1_C2M
MODE2_C2M
MODE3_C2M



Диагностические выводы

PWRGD_FPD_M2C
PWRGD_LPD_M2C
PWRGD_PL_M2C
PS_ERROR_OUT_M2C
PS_ERROR_STATUS_M2C

Выводы разъемов, относящиеся к PS

Выводы PS, относящиеся к банку 500, имеют жестко заданное назначение

Bank 500	MIO #	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
	Peripheral	QSPI					SPI1	GPIO0		SPI1	GPIO0		eMMC (SD0)											GPIO0	I2C1		
	Pin Fct	sclk_out	miso_mo1	mo2	mo3	mosi_ml0	n_ss_out	sclk_out	LED0	LED1	n_ss_out	miso	mosi	PW_Upd	data[0]	data[1]	data[2]	data[3]	data[4]	data[5]	data[6]	data[7]	cmd_out	clk_out	eMMC_Rst	scl	sda

Некоторые выводы PS, относящиеся к банку 501, также имеют жестко заданное назначение

Bank 501	MIO #	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51
	Peripheral						PMU_GPI	PMU_GPO	PMU_GPO	PMU_GPO	PMU_GPO	PMU_GPO	UART1														
	Pin Fct						shtdwn_req	FPD_Pwr_En	PL_Pwr_En	PS_Pwr_En	WD_out	txd	rxid														

Выводы PS, относящиеся к банку 502, не имеют ограничений, за исключением указанных в документе *Zynq Ultrascale+ TRM Manual*



Важно помнить, что выводы PS имеют логические уровни 1.8 V!

Преобразователи уровня
1.8 V <-> 3.3 V (5 V Tolerant)
SN74LVC16244A (16 бит)
SN74AVC2T245 (2 бита)
SN74AVC1T45 (1 бит)

Выводы разъемов, относящиеся к PL

Выводы GTN

четыре дифференциальных пары для приема и передачи
 Две дифференциальных пары для тактирования

Выводы High Performance

42 дифференциальных пары

Выводы High Density

48 линий

Connector Row/ Pin Number	A	B	C	D
1	GND	GTN_DP2_C2M_P	GND	GTN_DP1_C2M_P
2	GND	GTN_DP2_C2M_N	GND	GTN_DP1_C2M_N
3	GTN_DP3_C2M_P	GND	GTN_REFCLK0_C2M_P	GND
4	GTN_DP3_C2M_N	GND	GTN_REFCLK0_C2M_N	GND
5	GND	GTN_DP2_M2C_P	GND	GTN_DP3_M2C_P
6	GND	GTN_DP2_M2C_N	GND	GTN_DP3_M2C_N
7	GTN_REFCLK1_C2M_P	GND	GTN_DP1_M2C_P	GND
8	GTN_REFCLK1_C2M_N	GND	GTN_DP1_M2C_N	GND
9	GND	GTN_DP0_C2M_P	GND	GTN_DP0_M2C_P
10	GND	GTN_DP0_C2M_N	GND	GTN_DP0_M2C_N
11	HPB15_CC_P	GND	HPB09_P	GND
12	HPB15_CC_N	HPB09_CC_P	HPB09_N	HPB01_P
13	GND	HPB10_CC_N	GND	HPB01_N
14	HPB08_P	GND	HPB14_P	GND
15	HPB08_N	HPB02_P	HPB14_N	HPB06_CC_P
16	GND	HPB02_N	GND	HPB06_CC_N
17	HPB12_P	GND	HPB02_P	GND
18	HPB12_N	HPB05_CC_P	HPB02_N	HPB_C1K0_P
19	GND	HPB05_CC_N	GND	HPB_C1K0_N
20	HPB06_P	GND	HPB13_P	GND
21	HPB06_N	HPB11_P	HPB13_N	HPB04_P
22	GND	HPB11_N	GND	HPB04_N
23	HPB16_P	GND	HPB_18_P	GND
24	HPB16_N	HPB02_P	HPB_18_N	HPB17_P
25	GND	HPB02_N	GND	HPB17_N
26	HPB_19_P	GND	HPC07_P	GND
27	HPB_19_N	HPC06_P	HPC07_N	HPC09_P
28	GND	HPC06_N	GND	HPC09_N
29	HPC17_P	GND	HPC05_CC_P	GND
30	HPC17_N	HPC13_P	HPC05_CC_N	HPC01_P
31	GND	HPC13_N	GND	HPC01_N
32	HPC19_P	GND	HPC08_P	GND
33	HPC19_N	HPC14_P	HPC08_N	HPC02_CC_P
34	GND	HPC14_N	GND	HPC02_CC_N
35	HPC14_P	GND	HPC11_P	GND
36	HPC14_N	HPC10_CC_P	HPC11_N	HPC02_P
37	GND	HPC10_CC_N	GND	HPC02_N
38	HPC15_CC_P	GND	HPC12_P	GND
39	HPC15_CC_N	HPC18_P	HPC12_N	HPC04_P
40	GND	HPC18_N	GND	HPC04_N
41	HPC03_P	GND	HPC_C1K0_P	GND
42	HPC03_N	VCC0_HPB	HPC_C1K0_N	VCC0_HPC
43	GND	GND	GND	GND
44	VCC0_HPB	HDB12	VCC0_HPC	HDB00_CC
45	GND	HDB13	GND	HDB01
46	HDB18	HDB14	HDB06	HDB02
47	HDB19	GND	HDB07	GND
48	HDB20	HDB15	HDB08_CC	HDB03
49	GND	HDB16_CC	GND	HDB04
50	HDB21	HDB17	HDB09	HDB05
51	HDB22	GND	HDB10	GND
52	HDB23	HDC12	HDB11	HDC00_CC
53	GND	HDC13	GND	HDC01
54	HDC18	HDC14	HDC06	HDC02
55	HDC19	GND	HDC07	GND
56	HDC20	HDC15	HDC08_CC	HDC03
57	GND	HDC16_CC	GND	HDC04
58	HDC21	HDC17	HDC09	HDC05
59	HDC22	VCC0_HDB	HDC10	VCC0_HDC
60	HDC23	VCC0_HDB	HDC11	VCC0_HDC

Power Rail Name	Supported Voltage Range	Maximum Current	Description
V _{CC_SOM}	5V (4.75V – 5.25V) 50 mV p-p maximum noise	4A	Main power input to the SOM. Supplies power to on-board power regulators.
V _{CC_BATT}	1.50V		External battery input for the RTC
V _{CCO_HPA}	1.00V – 1.80V	1.0A	Voltage rail for HPIO bank 66
V _{CCO_HPВ}	1.00V – 1.80V	1.0A	Voltage rail for HPIO bank 65
V _{CCO_HPC}	1.00V – 1.80V	1.0A	Voltage rail for HPIO bank 64
V _{CCO_HDA}	1.20V – 3.30V	1.0A	Voltage rail for HDIO bank 45
V _{CCO_HDB}	1.20V – 3.30V	1.0A	Voltage rail for HDIO bank 43
V _{CCO_HDC}	1.20V – 3.30V	1.0A	Voltage rail for HDIO bank 44

Источники тактирования

Processing System

Модуль *Kria* содержит источники тактовой частоты на 33.33 МГц и 32.768 кГц.

Для тактирования *PS-GTR* используются сигналы, поступающие от несущей платы.

Protocol	Reference Clock Frequency (MHz)
PCIe v2.0 (multi-lane) Only the common clock architecture is supported.	100.0 MHz
SATA (multi-core)	125.0 MHz, 150.0 MHz
USB 3.0	26.0 MHz, 52.0 MHz, 100.0 MHz
DisplayPort (harmonic of 27.0 MHz)	27.0 MHz, 108.0 MHz, 135.0 MHz
GEM SGMII, 1000BASE-SX, or 1000BASE-LX	125.0 MHz

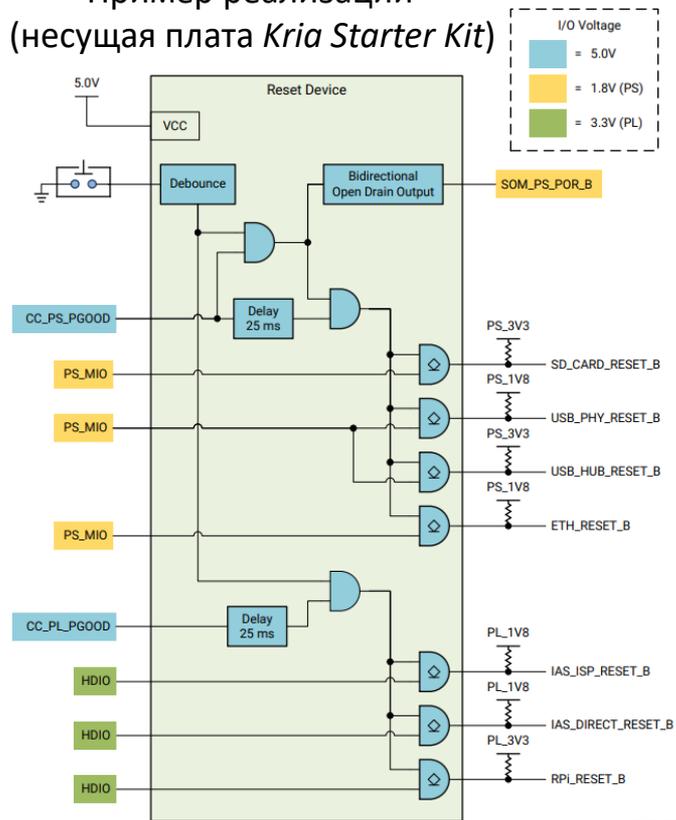
Programmable Logic

Можно подключить внешний источник тактирования через выводы разъемов #1 и #2 модуля, предназначенные для подачи тактовых сигналов (*Global Clock, Clock Capable*)

Для тактирования трансиверов *GTH* используются соответствующие тактовые сигналы, подаваемые через выводы разъема #2 (*GTH_REFCLK0_C2M, GTH_REFCLK1_C2M*)

Схема сброса

Пример реализации (несущая плата *Kria Starter Kit*)



XZ4751-102220

Включение

- По готовности 5 В несущая плата поднимает *PWROFF_C2M_B*
- Модуль выполняет собственную процедуру включения и поднимает *VCCOEN_PS_M2C* и *VCCOEN_PL_M2C*, разрешая работу источников питания на несущей плате
- Как только эти источники выдают сигналы *POWERGOOD*, разрешается работа интерфейсных микросхем на несущей плате
- Несущая плата поднимает *PS_POR_B*, разрешая загрузку модуля (*Linux, Bare Metal, etc.*)

Выключение

- Снятие *PWROFF_C2M_B* приведет к немедленному переходу источников питания модуля к выключению (никакого корректного завершения работы ПО не произойдет!)
- Для корректного «программного» выключения необходимо использовать вывод *MIO31_SHUTDOWN* и соответствующую функциональность *PMU*

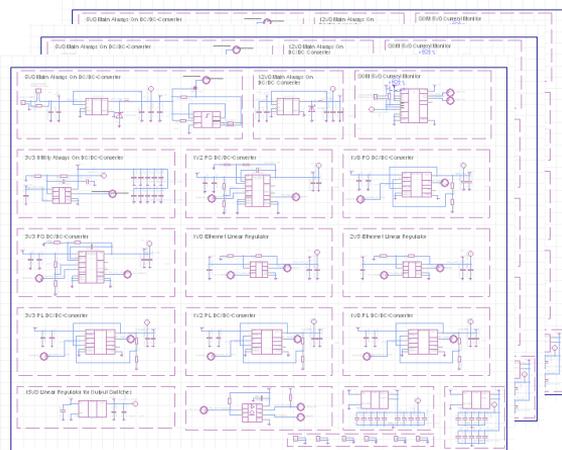
Схема сброса (несущая плата *Kria Starter Kit*)

- Xilinx использует чип *SLG7XL44677*, в продаже его нет (заказной?)
- Можно реализовать подобную логику на микроконтроллере, ПЛИС, даже логических микросхемах

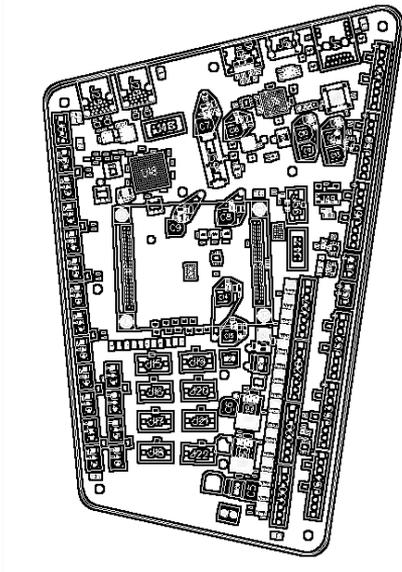
Результат разработки



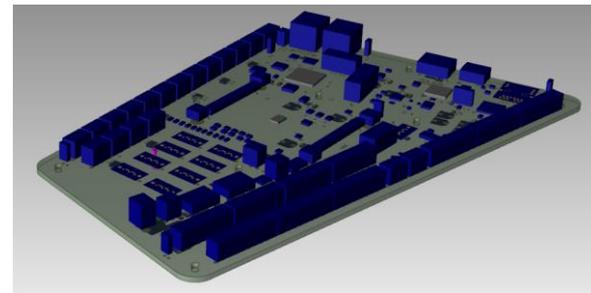
*Составление
принципиальной схемы*



*Размещение
компонентов*



*Трассировка
печатных проводников*





Технически применение Kria в большинстве случаев оправдано (вместо разработки платы с Zynq Ultrascale+ с нуля).



Экономически разработка с *Kria* всегда выгоднее, чем создание собственной платы с аналогичным чипом *Zynq*



Применение модуля *Kria* сокращает время на разработку платы в 2..10 раз (в зависимости от проекта и квалификации исполнителей)

Кейсы неприменимости модуля *Kria* (примеры):

- требуется старший чип *ZU+*, по сравнению с установленным в *Kria* (не хватает выводов, ячеек *PL*...)
- недостаточна емкость ОЗУ модуля
- недопустимо использование коннекторов, требуемых для *Kria*

СПИСОК ИСТОЧНИКОВ

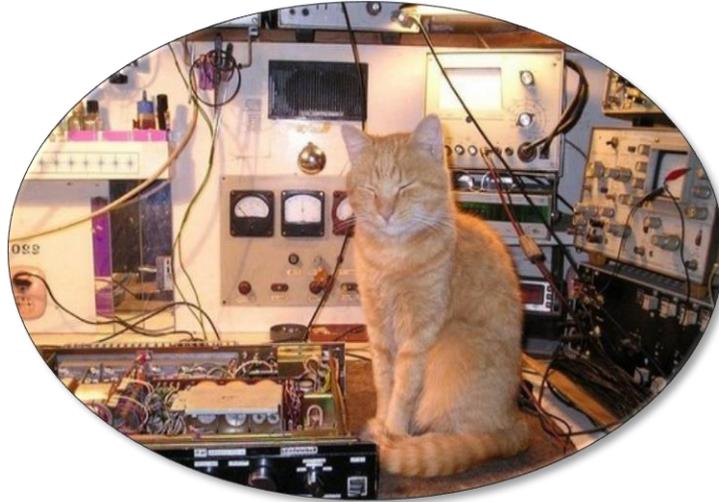
1. DS987 - Kria K26 SOM Data Sheet
2. UG1091 - Kria SOM Carrier Card Design Guide
3. UG1089 - Kria KV260 Vision AI Starter Kit User Guide
4. UG1085 - Zynq UltraScale+ Device Technical Reference Manual

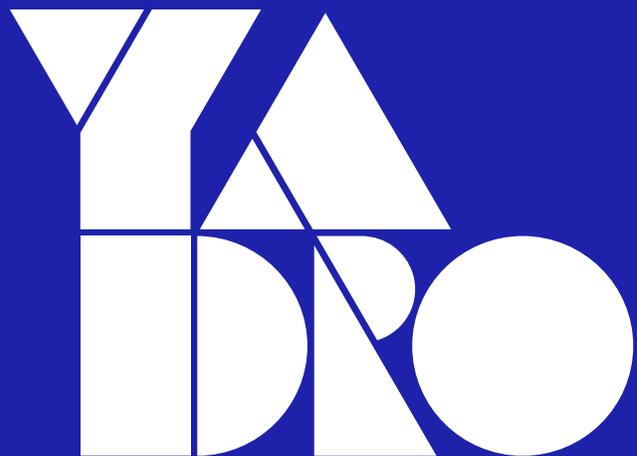


III конференция FPGA разработчиков

FPGA-Systems 2021.2

Спасибо за внимание!





DISCOVER.
DESIGN.
DEVELOP.

yadro.com

Генеральный партнер конференции FPGA-Systems 2021.2

tech@exponenta.ru

exponenta.ru



ЭКСПОНЕНТА

ЦЕНТР ИНЖЕНЕРНЫХ ТЕХНОЛОГИЙ
И МОДЕЛИРОВАНИЯ

- **Технические консультации**
- **Подбор инструментов**
- **Обучение специалистов**
- **Работа на заказ**

EREMEX

Генеральный партнёр конференции FPGA-Systems 2021.2



Первая современная отечественная САПР, реализующая сквозной цикл проектирования печатных плат



EREMEX

www.aremex.ru

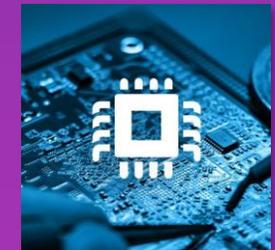
Информационные партнеры



Сообщество приборостроителей



Русская электроника 



PCBSOFT
PCB&IC SOFTWARE



ИСТОВЫЙ ИНЖЕНЕР

Портал инженерной культуры_

[ПЕРЕЙТИ →](#)

Где найти FPGA комьюнити?



fpga-systems.ru



t.me/fpgasystems \Leftrightarrow [@fpgasystems](https://t.me/fpgasystems)



youtube.com/c/fpgasystems



admin@fpga-systems.ru

