

III КОНФЕРЕНЦИЯ FPGA РАЗРАБОТЧИКОВ

FPGA-Systems 2021.2

Доступно в записи на Youtube

Конференция в Москве



Конференция в
Санкт-Петербурге

Приходи на следующую конференцию

fpga-systems.ru/meet

Поддержи мероприятие

Способ 1

Способ 2



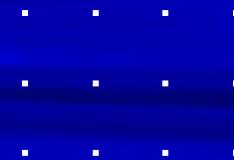
III конференция FPGA разработчиков

FPGA-SYSTEMS 2021.2

III конференция FPGA разработчиков

FPGA-Systems 2021.2

«Пару слов за качество. Проведение функционального
и параметрического контроля СБИС»



YADRO · MP

Александр Огурцов | Арно Шово



ПРЕВЬЮ ДОКЛАДА:

- Основные этапы обеспечения качества микросхем.....3-8
- Параметрический контроль.....9-10
- Функциональный контроль.....11-23
 - Модели ошибок, error injection.....11-16
 - Основные подходы и методы функционального контроля.....17-24
- Поговорим про функциональный контроль FPGA.....25-29
- Пару слов о контрафакте.....30-31

ПРЕДПРОИЗВОДСТВЕННОЕ ТЕСТИРОВАНИЕ

1 ЭТАП КОНТРОЛЯ КАЧЕСТВА – предпроизводственное тестирование перед отправкой дизайна на фабрику

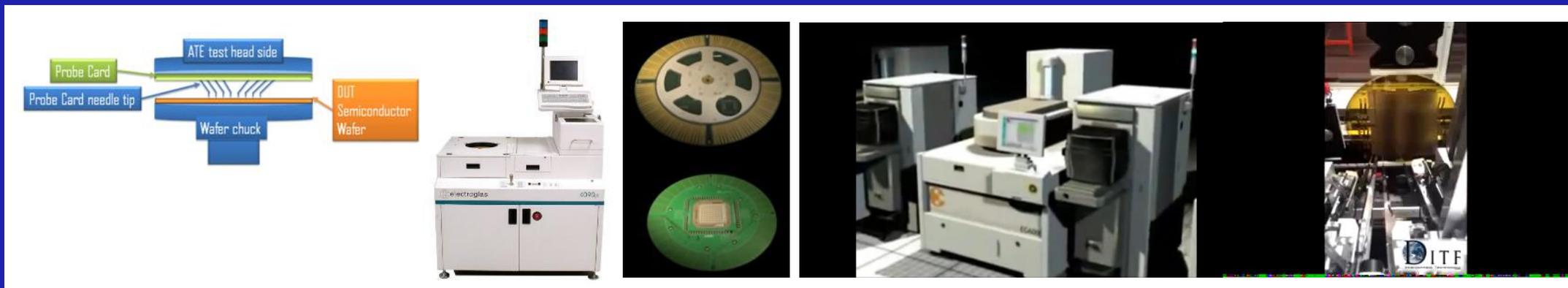
- Верификация разработанных модулей при помощи SystemVerilog Assertions, UVM/UVVM, Formal verification и т.д.
- FPGA – прототипирование.
- Добавление в дизайн специальных тестовых схем – DFT scan, BIST, MBIST и т.д.



ПРОИЗВОДСТВЕННОЕ ТЕСТИРОВАНИЕ

2 ЭТАП КОНТРОЛЯ КАЧЕСТВА – тестирование на пластине (Wafer)

- Тестирование проводится на фабрике. Для тестирования используются проб-карты, устанавливаемые на специализированные автоматизированные тестеры АТЕ с специальных зондов.
- Также может проводиться функциональный контроль при помощи заложенных на этапе проектирования тестовых точек и схем – DFT, BIST и т.д.



ПОСТПРОИЗВОДСТВЕННОЕ ТЕСТИРОВАНИЕ (ВЫХОДНОЙ КОНТРОЛЬ)

3 ЭТАП КОНТРОЛЯ КАЧЕСТВА – постпроизводственное тестирование

- Испытания макетных образцов.
- Предварительные испытания опытных образцов – проводятся в испытательном центре при разработке нового изделия.
- Квалификационные испытания – по своему составу совпадают с предварительными в рамках ОКР, проводятся при запуске промышленной серии.
- Государственные испытания – проводятся в аккредитованном испытательном центре.
- Приемо-сдаточные испытания – проводятся перед отгрузкой изделий ЭКБ потребителю.
- Периодические испытания – проводятся для подтверждения стабильности производства и характеристик изделия.



ИСПЫТАНИЯ, ПРОВОДИМЫЕ ПОТРЕБИТЕЛЕМ/ ПОСТАВЩИКОМ

4 ЭТАП КОНТРОЛЯ КАЧЕСТВА – ВХОДНОЙ КОНТРОЛЬ

- Входной контроль проводится для оценки соответствия требованиям технической документации производителя.
- Дополнительные отбраковочные испытания проводятся для отбраковки потенциально ненадежных изделий из партий и улучшение показателей надежности партии.
- Сертификационные испытания и сертификация проводятся для оценки соответствия условиям эксплуатации в составе аппаратуры.
- Анализ отказов.



Перечень испытаний проводимых в испытательных центрах



ПРИМЕР ПЕРЕЧНЯ ИСПЫТАНИЙ, ПРОВОДИМЫХ В ИСПЫТАТЕЛЬНЫХ ЦЕНТРАХ

ВХОДНОЙ КОНТРОЛЬ

- контроль внешнего вида
- контроль электрических параметров в нормальных условиях

ДОПОЛНИТЕЛЬНЫЕ ОТБРАКОВОЧНЫЕ ИСПЫТАНИЯ

- контроль электрических параметров при граничных рабочих температурах
- термоциклирование
- электротермотренировка
- контроль посторонних частиц в подкорпусном пространстве
- контроль герметичности
- акустическая микроскопия
- рентгеновская микроскопия

ДИАГНОСТИЧЕСКИЙ НЕРАЗРУШАЮЩИЙ КОНТРОЛЬ

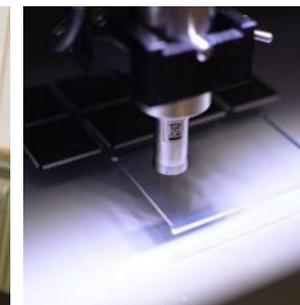
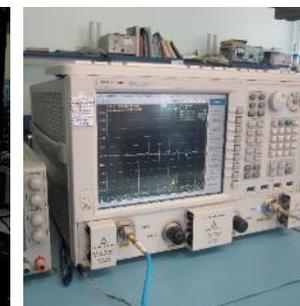
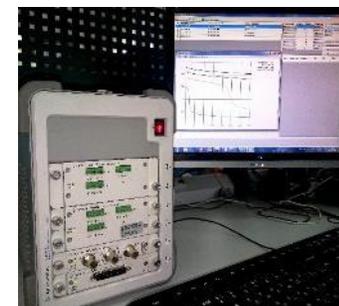
- контроль дрейфа параметров после ЭТТ
- контроль электрических параметров по ужесточенным нормам
- контроль статических токов потребления и др.

РАЗРУШАЮЩИЙ ФИЗИЧЕСКИЙ АНАЛИЗ ЭКБ ОП

- проверка паяемости
- проверка прочности внешних выводов
- контроль содержания паров воды в подкорпусном пространстве
- контроль качества металлизации с помощью растровой электронной микроскопии
- внутренний визуальный контроль
- проверка прочности внутренних соединений
- испытание кристалла на сдвиг

СЕРТИФИКАЦИОННЫЕ ИСПЫТАНИЯ ЭКБ ИП

- на воздействие повышенной температуры среды
- на воздействие пониженной температуры среды
- на воздействие изменения температуры среды
- на воздействие механической вибрации
- на воздействие механических ударов
- на воздействие пониженного атмосферного давления
- на воздействие повышенной влажности среды
- на безотказность
- на сохраняемость
- на радиационную стойкость





ПРЕВЬЮ ДОКЛАДА:

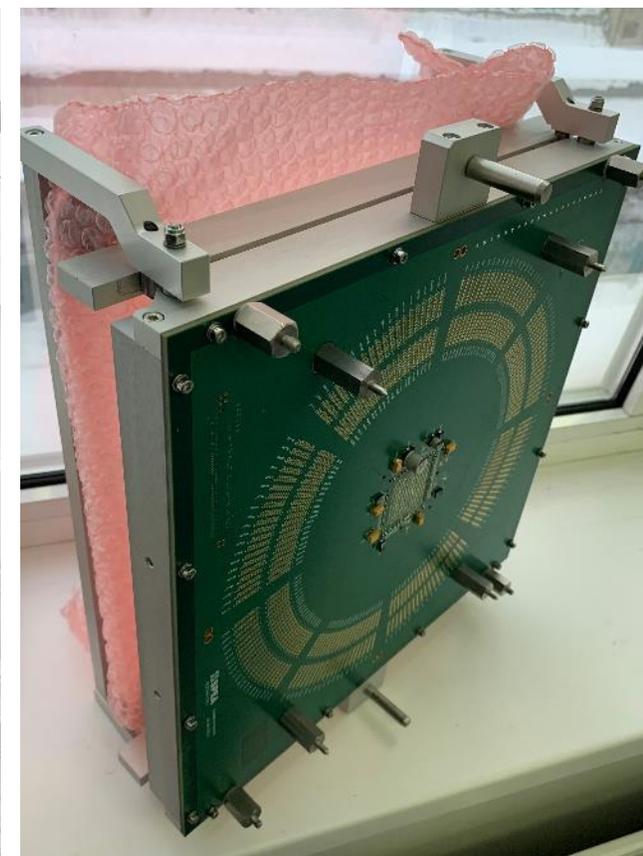
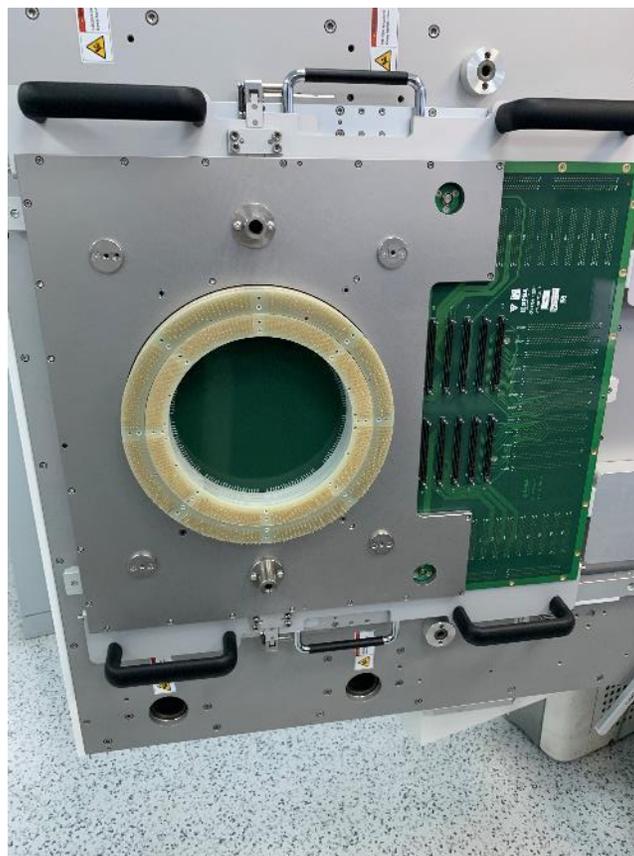
- Основные этапы обеспечения качества микросхем.....3-8
- Параметрический контроль.....9-10
- Функциональный контроль.....11-23
 - Модели ошибок, error injection.....11-16
 - Основные подходы и методы функционального контроля.....17-24
- Поговорим про функциональный контроль FPGA.....25-29
- Пару слов о контрафакте.....30-31

ПАРАМЕТРИЧЕСКИЙ КОНТРОЛЬ

- Проводится при помощи автоматизированного тестерного оборудования (ATE) на специально разработанной оснастке
- Проводится измерение основных параметров из документации производителя

Примеры измеряемых параметров:

- Ток потребления.
- Выходные напряжения под нагрузкой.
- Входные токи и токи утечки.
- Параметры быстродействия (временные характеристики).





ПРЕВЬЮ ДОКЛАДА:

- Основные этапы обеспечения качества микросхем.....3-8
- Параметрический контроль.....9-10
- Функциональный контроль.....11-23
 - Модели ошибок, error injection.....11-16
 - Основные подходы и методы функционального контроля.....17-24
- Поговорим про функциональный контроль FPGA.....25-29
- Пару слов о контрафакте.....30-31



ФУНКЦИОНАЛЬНЫЙ КОНТРОЛЬ, ПОСТРОЕННЫЙ НА МОДЕЛИ ОШИБОК FAULT INJECTION

ДЕФЕКТ → ОШИБКА → СБОЙ → ОТКАЗ

Тестовое покрытие – это мера определяемая отношением числа обнаруженных дефектов к общему числу дефектов.

$$\text{Тестовое покрытие} = \frac{\text{Число обнаруженных дефектов}}{\text{Общее число возможных дефектов}}$$

$$\text{Эффективность тестового покрытия} = \frac{\text{Число выявленных дефектов}}{(\text{Общее число возможных дефектов} - \text{Число недетектируемых дефектов})}$$

Почему используются модели ошибок?

- Реальные дефекты слишком многочисленны и часто не анализируемы.
- Модель ошибки идентифицирует цели для тестирования.
- Модель ошибки ограничивает объем генерации тестов.
- Модель ошибки делает анализ возможным.
- Модель ошибки позволяет оценить эффективность тестирования.



ОСНОВНЫЕ МОДЕЛИ ОШИБОК НА ПРИМЕРЕ ПАМЯТИ

Множество функциональных дефектов памяти [1]	
Функциональная ошибка	Функциональная ошибка
Залипание ячейки памяти	Залипание шины адреса
Залипание драйвера	Обрыв на шине адреса
Залипание линии чтения/записи	Замыкание между сигналами шины адреса
Залипание линии выбора чипа	Обрыв в декодере адреса
Залипание шины данных	Неправильный доступ к ячейке
Обрыв в шине данных	Множественный доступ(запись сразу в несколько ячеек)
Замыкание между сигналами шины данных	Ячейка может быть <u>записанна</u> только Лог.0 или Лог.1
Наводки между сигналами шины данных	Влияние ячее друг на друга
Стирание записанной информации	Искажение информации с течением времени
[1] A. J. van de Goor. Testing Semiconductor Memories: Theory and Practice. A.J. van de Goor, 1998.	
Имя модели ошибки	
Stuck-at fault (SAF)	Ошибки типа залипание
Transition fault (TF)	Ошибки перехода
Coupling fault (CF)	Ошибки обусловленные паразитной связью
Neighborhood pattern sensitive fault (NPSF)	Ошибки взаимного влияния соседних ячеек
Data Retention Fault (DRF)	Ошибки хранения данных
Address decoder fault (AF)	Ошибки декодера адреса

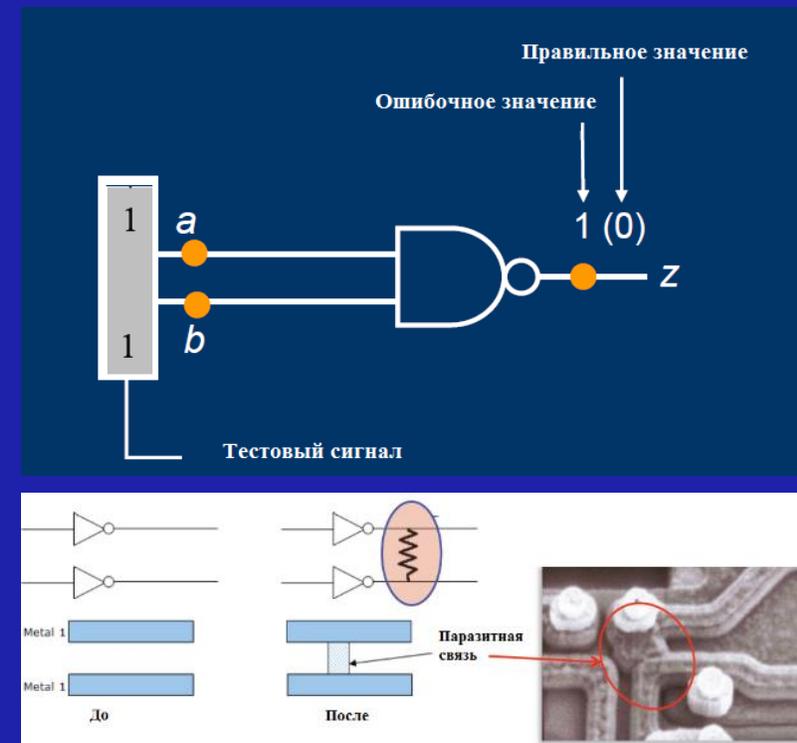


ПОКРЫТИЕ ФУНКЦИОНАЛЬНЫХ ДЕФЕКТОВ ПАМЯТИ РАЗЛИЧНЫМИ МОДЕЛЯМИ ОШИБОК

Модель ошибки	Функциональная неисправность
Stuck-at fault (SAF)	Залипание ячейки памяти
	Залипание драйвера
	Залипание линии чтения/записи
	Залипание линии выбора чипа
	Залипание шины данных
	Обрыв в шине данных
Coupling fault (CF)	Замыкание между сигналами шины данных
	Наводки между сигналами шины данных
Address decoder fault (AF)	Залипание шины адреса
	Обрыв на шине адреса
	Замыкание между сигналами шины адреса
	Обрыв в декодере адреса
	Неправильный доступ к ячейке
Transition fault (TF)	Множественный доступ(запись сразу в несколько ячеек)
	Ячейка может быть записана только Лог.0 или Лог.1
Neighborhood pattern sensitive fault (NPSF)	Влияние ячеек друг на друга
Data Retention Fault (DRF)	Искажение информации с течением времени
	Стирание записанной информации

ОСНОВНЫЕ ВИДЫ МОДЕЛЕЙ ОШИБОК

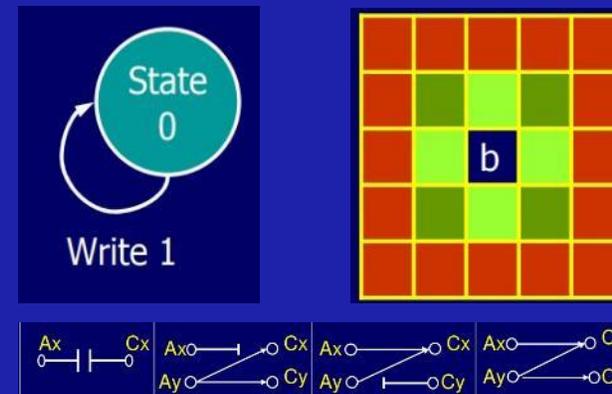
- Модель ошибки типа константное залипание Stuck-at fault (SAF) предполагает, что логическое значение ячейки или строки всегда остается в Лог.0 (константный 0) или всегда в Лог.1 (константный 1).
- Ошибки, обусловленные паразитной связью Coupling fault (CF):
 1. **Инверсная паразитная связь inversion coupling fault (CFin)** - во время переключения одной ячейки (элемента) из 0 в 1 или наоборот, эта ячейка инвертирует значение второй ячейки.
 2. **Идемпотентная паразитная связь idempotent coupling fault (CFid)** - во время переключения одной ячейки (элемента) из 0 в 1 или наоборот, эта ячейка изменяет на 0 или 1 значение второй ячейки.
 3. **Динамическая паразитная связь dynamic coupling fault (CFdyn)** - во время операции чтения или записи одной ячейки, изменяется на 0 или 1 значение второй ячейки.
 4. **Ошибка типа перемычка (BF)** – замыкание двух ячеек или сигнальных проводников между собой. Существует 2 вида перемычек перемычка типа "И" AND (ABF) и перемычка типа "ИЛИ" OR (ORF).
 5. **Паразитная связь уровня сигнала state coupling fault (SCF)** – значение 0 или 1 не может быть записано в одну ячейку пока это значение не будет записано в соседнюю ячейку.





ОСТАЛЬНЫЕ ТИПЫ МОДЕЛЕЙ ОШИБОК

- Ошибки перехода Transition fault (TF) – особый случай ошибки типа залипания (SAF). При возникновении данной ошибки невозможно перезаписать значение ячейки на противоположное значение.
- Ошибки взаимного влияния pattern sensitive fault (PSF) – содержимое ячеек памяти влияет на содержимое одной из ячеек памяти. Есть два типа PSF: неограниченный PSF (UPSF) и ограниченный (соседний) PSF (NPSF).
- Ошибки декодера адреса Address decoder faults (AFs) – представляет отказы в комбинационной логике декодера адреса.
- Ошибки хранения информации Data Retention Fault (DRF) – стирание информации после её записи либо по прошествии короткого промежутка времени.



Для анализа на различные виды моделей ошибок используются специализированные ATPG, например, бесплатная академическая программа Attalanta-M 2.0. или профессиональные пакеты программ для создания тестовых структур внутри чипа: Siemens(MentorGraphics) – Tessent. Synopsys – TestMAX. Cadence – Modus.

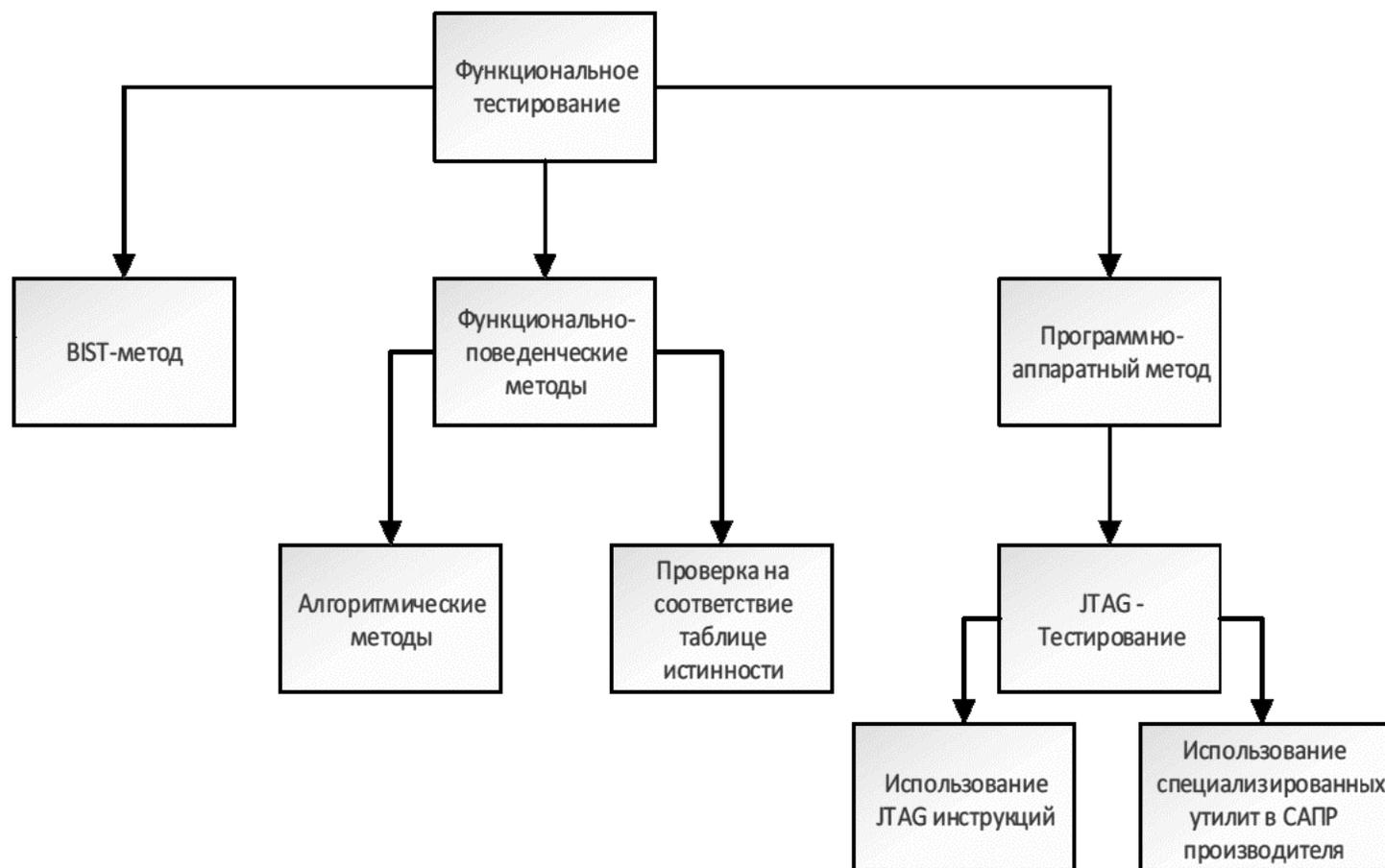


ПРЕВЬЮ ДОКЛАДА:

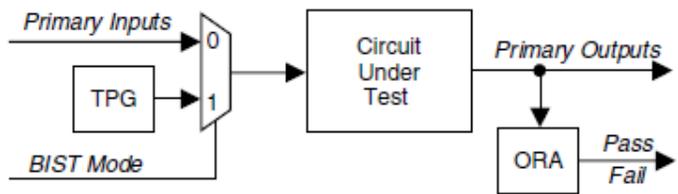
- Основные этапы обеспечения качества микросхем.....3-8
- Параметрический контроль.....9-10
- Функциональный контроль.....11-23
 - Модели ошибок, error injection.....11-16
 - Основные подходы и методы функционального контроля.....17-24
- Поговорим про функциональный контроль FPGA.....25-29
- Пару слов о контрафакте.....30-31



КЛАССИФИКАЦИЯ ИСПОЛЬЗУЕМЫХ МЕТОДОВ ФУНКЦИОНАЛЬНОГО КОНТРОЛЯ

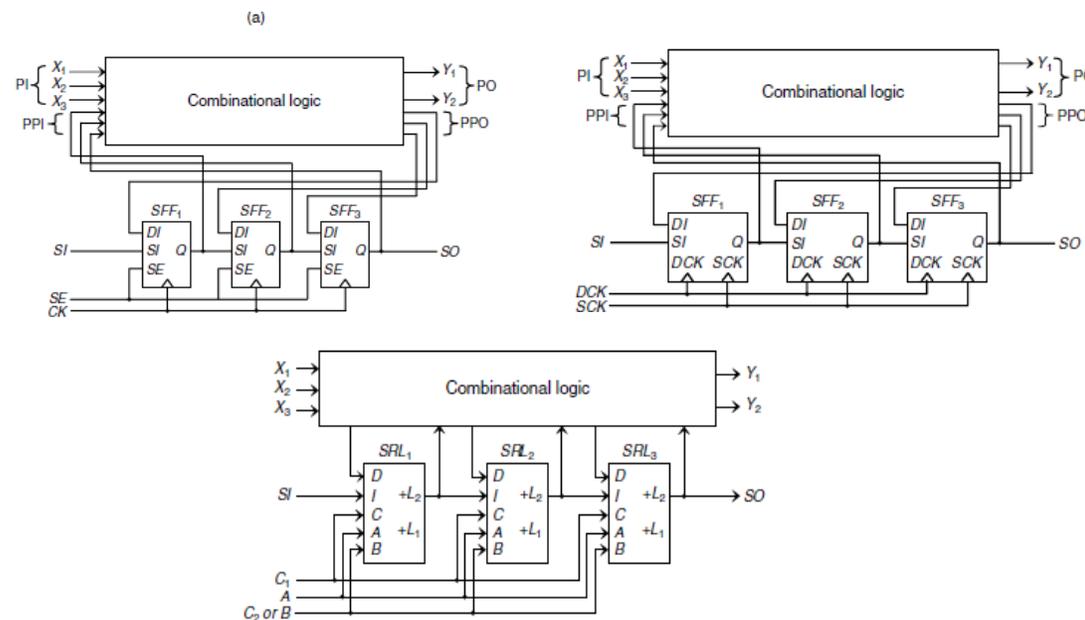
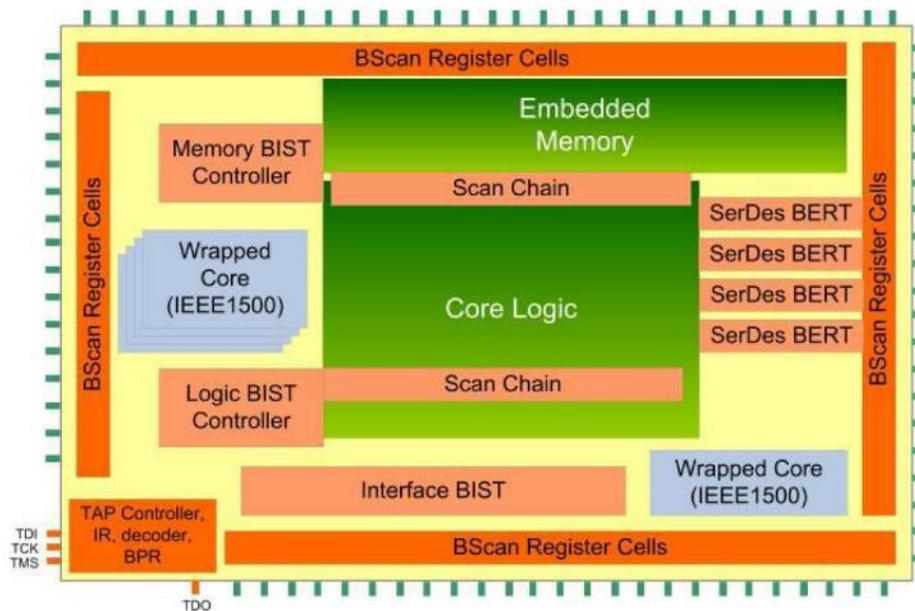


BIST | Scan cells



Существует 3 основные архитектуры сканирующих цепочек:

- Мультиплексированная D-триггерная сканирующая цепочка
- Синхронизируемая сканирующая цепочка
- Чувствительные к уровню сигнала (level-sensitive scan design (LSSD)) цепочки сдвиговых регистров

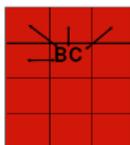




АЛГОРИТМИЧЕСКИЙ МЕТОД НА ПРИМЕРЕ АЛГОРИТМОВ ПАМЯТИ, БАЗОВЫЕ АЛГОРИТМЫ

1	0	1
0	1	0
1	0	1

- Алгоритм шахматная доска (Chessboard).



- Алгоритм "галоп" (GALPAT).

				1
				1
		1		
1				

- Скользящий по Строкам/Столбцам/Диагонали (Sliding).

		6			
		1			
9	4	5,10	2	7	
		3			
		8			

- Алгоритм бабочка (Butterfly).

- Маршевые коды (March tests).

Name	Algorithm
MATS	$\{\updownarrow(w0); \updownarrow(r0, w1); \updownarrow(r1)\}$
MATS+	$\{\updownarrow(w0); \up(r0, w1); \downarrow(r1, w0)\}$
MATS++	$\{\updownarrow(w0); \up(r0, w1); \downarrow(r1, w0, r0)\}$
MARCH X	$\{\updownarrow(w0); \up(r0, w1); \downarrow(r1, w0); \updownarrow(r0)\}$
MATCH C-	$\{\updownarrow(w0); \up(r0, w1); \up(r1, w0); \downarrow(r0, w1); \downarrow(r1, w0); \updownarrow(r0)\}$
MATCH A	$\{\updownarrow(w0); \up(r0, w1, w0, w1);$ $\up(r1, w0, w1); \downarrow(r1, w0, w1, w0); \downarrow(r0, w1, w0)\}$
MATCH Y	$\{\updownarrow(w0); \up(r0, w1, r1); \downarrow(r1, w0, r0); \updownarrow(r0)\}$
MATCH B	$\{\updownarrow(w0); \up(r0, w1, r1, w0, r0, w1);$ $\up(r1, w0, w1); \downarrow(r1, w0, w1, w0); \downarrow(r0, w1, w0)\}$

Table 2.4: Irredundant March Test Algorithms [8]

- r0 Чтение нуля из ячейки памяти
- r1 Чтение единицы из ячейки памяти
- w0 Запись нуля из ячейки памяти
- w1 Запись единицы из ячейки памяти
- \updownarrow Адрес может как увеличиваться так и уменьшаться
- \up Адрес должен увеличиваться
- \downarrow Адрес должен уменьшаться

ТЕСТОВОЕ ПОКРЫТИЕ РАЗЛИЧНЫХ АЛГОРИТМОВ



Тестовое покрытие									
Алгоритм	SAF	AF	TF	CF in	CF id	CF dyn	DRF	CSF	Количество операций
Шахматный код	ALL		частично				ALL		4N
Бабочка	ALL	ALL							5NlogN
Усеченный галоп	ALL	ALL	ALL						4N1.5

Тестовое покрытие								
Алгоритм	SAF	AF	TF	CF in	CF id	CF dyn	SCF	Oper. Count
MATS	All	Some						4.n
MATS+	All	All						5.n
MATS++	All	All	All					6.n
MARCH X	All	All	All	All				6.n
MARCH C-	All	All	All	All	All	All	All	10.n
MARCH A	All	All	All	All				15.n
MARCH Y	All	All	All	All				8.n
MARCH B	All	All	All	All				17.n

JTAG ТЕСТИРОВАНИЕ



Основные JTAG стандарты

IEEE 1149.1 Стандарт, определяющий технологию периферийного сканирования

IEEE 1149.4 Стандарт для аналогового периферийного сканирования

IEEE 1149.6 Стандарт, определяющий технологию периферийного сканирования дифференциальных сигналов

IEEE 1532 Стандарт, определяющий технологию конфигурирования ПЛИС

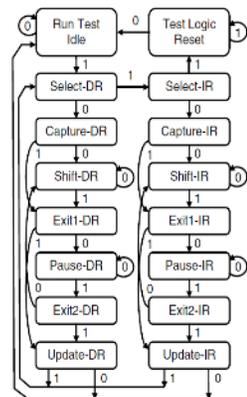
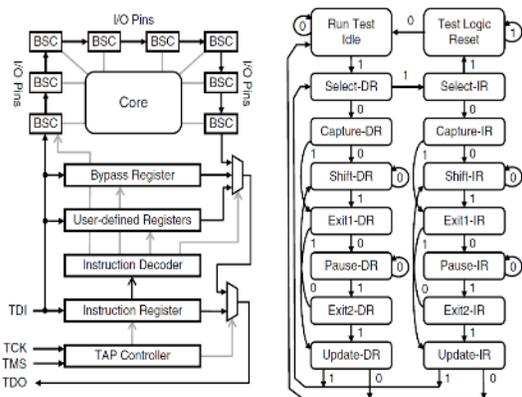
IEEE 1500 Стандарт, определяющий технологию тестирования SoC и ASIC

IEEE P1581 Расширение для тестирования памяти

IEEE 1149.7 Стандарт вводит дополнительные возможности для доступа к встроенным ядрам, управлением быстродействием и питанием тестируемых узлов

IEEE P1687 Стандарт, описывающий работу с всевозможными программными тестовыми решениями

SJTAG новый разрабатываемый стандарт стандартизирующий формат данных и описывающий взаимодействие между встроенными тестовыми контроллерами и внешними менеджерами тестов



Список известных мне фирм, занимающихся разработкой программ для создания JTAG тестов:

- JTAG Technology (www.jtag.com/ru)
- XJTAG (www.xjtag.com)
- HJTAG (www.hjtag.com/en)
- JTAG TEST (www.jtagtest.com)



ПРЕВЬЮ ДОКЛАДА:

- Основные этапы обеспечения качества микросхем.....3-8
- Параметрический контроль.....9-10
- Функциональный контроль.....11-23
 - Модели ошибок, error injection.....11-16
 - Основные подходы и методы функционального контроля.....17-24
- Поговорим про функциональный контроль FPGA.....25-29
- Пару слов о контрафакте.....30-31

ФУНКЦИОНАЛЬНЫЙ КОНТРОЛЬ FPGA

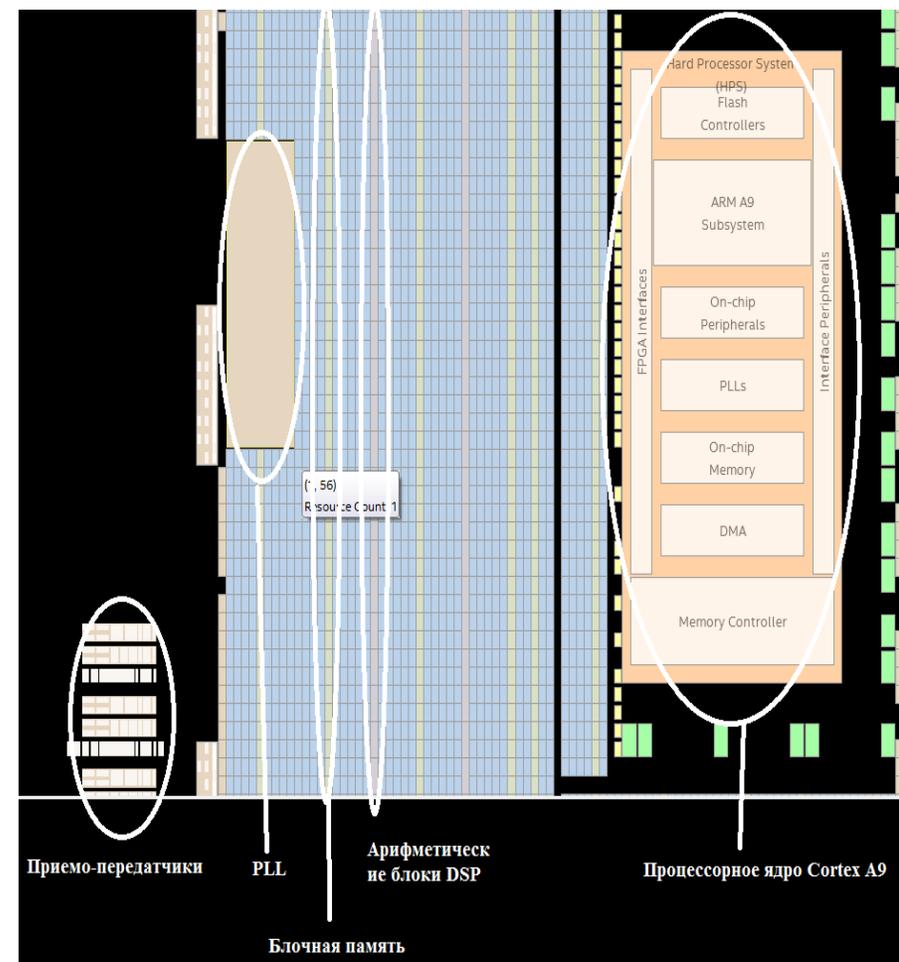


Контроль функционирования внутренней логики FPGA включает контроль:

- Таблиц перекодировки (LUT)
- Блоков распределенной памяти на основе LUT
- Блоков сдвиговых регистров (SRL) на основе LUT
- Блоков программируемых регистров
- Логики переноса

Контроль функционирования встроенных в FPGA блоков:

- Контроль тактовых блоков (DCM, PLL, MMCM)
- Контроль арифметических блоков (умножителей)
- Контроль различных типов блочной памяти
- Контроль высокоскоростных приемопередатчиков и встроенных "хардварных" блоков интерфейсов (EthernetMAC, PCI endpoint)
- Встроенных процессорных блоков
- Аналоговых блоков (ADC)





ОСНОВНЫЕ МЕТОДЫ ФУНКЦИОНАЛЬНОГО КОНТРОЛЯ

Метод с использованием схем самодиагностики (BIST - Built-in self-test)

Достоинства:

- Наблюдаемость ошибки
- Не требует наличие АТЕ

Недостатки:

- Скорость проведения ФК
- Функциональный объем



Функционально-поведенческие методы

Достоинства:

- Скорость проведения ФК
- Меньшее количество конфигураций

Недостатки:

- Наблюдаемость ошибки
- Требуется наличие АТЕ
- Не применимо к сложным функциональным блокам

Метод считывания выходных откликов посредством различных интерфейсов

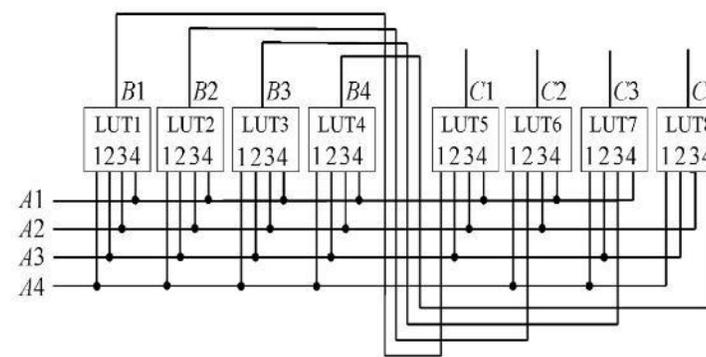
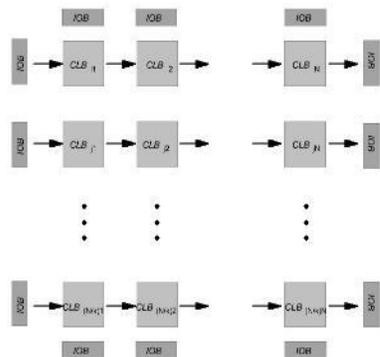
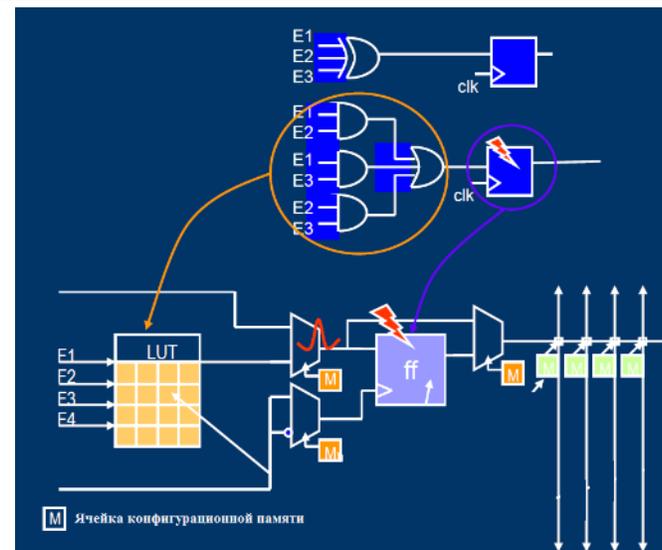
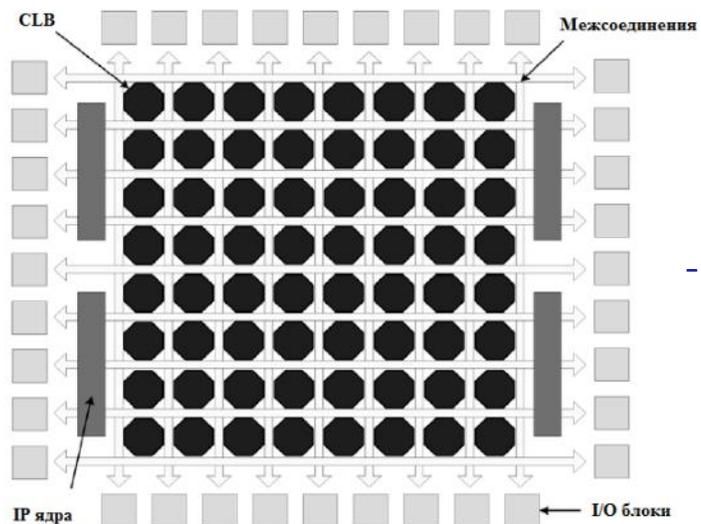
Достоинства:

- Тестирование без использования АТЕ посредством JTAG.

Недостатки:

- Применимо только к новым семействам ПЛИС
- Зачастую не говорит о надежности всей ПЛИС в целом.

ФУНКЦИОНАЛЬНЫЙ КОНТРОЛЬ ВНУТРЕННЕЙ ЛОГИКИ FPGA





ПРИМЕР ПАРАМЕТРИЗАЦИИ МОДУЛЯ ДЛЯ СОЗДАНИЯ ТЕСТОВЫХ ЦЕПОЧЕК

```

`timescale 1ns / 1ps
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
//
// Engineer: Alexander Ogurtsov
//
// Create Date:
// Design Name: Internal Logic Test
// Module Name: main_scan_chain
// Project Name: Internal Logic Test
// Target Devices: all devices
// Tool versions:
// Description: Test configuration for ATE FormulaHF3
//
//
// Revision: 2.1
// Additional Comments:
//
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////

module main_type_2 #(
    parameter LUT_SIZE = 6, // LUT_SIZE - LUT_size (input quantity).
              PIN = 150, // PIN - chenal quantity on the PCB.
              IOSIZE = LUT_SIZE*2, // IOSIZE - quantity of input in one scan chain.
              W = func_W(IOSIZE, PIN), // W - scan chains quantity.
              TYPE_MANUFACT = "Xilinx", // Choose FPGA manufacturer, available: "Xilinx", "Altera", "Actel"
              REG_COUNT = 8, // Quantity of registers in one cell ( available 0, 2, 4 or 8 ).
              Logic_cells = 75_600, // Logic_cells - Quantity of Logic elements from DATASHEET.
              REDUCE = 0 // if "Altera" then REDUCE = 1, otherwise 0.

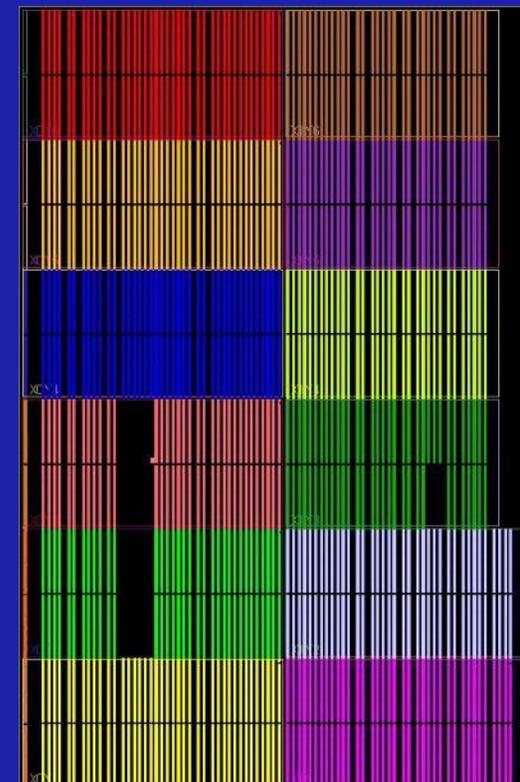
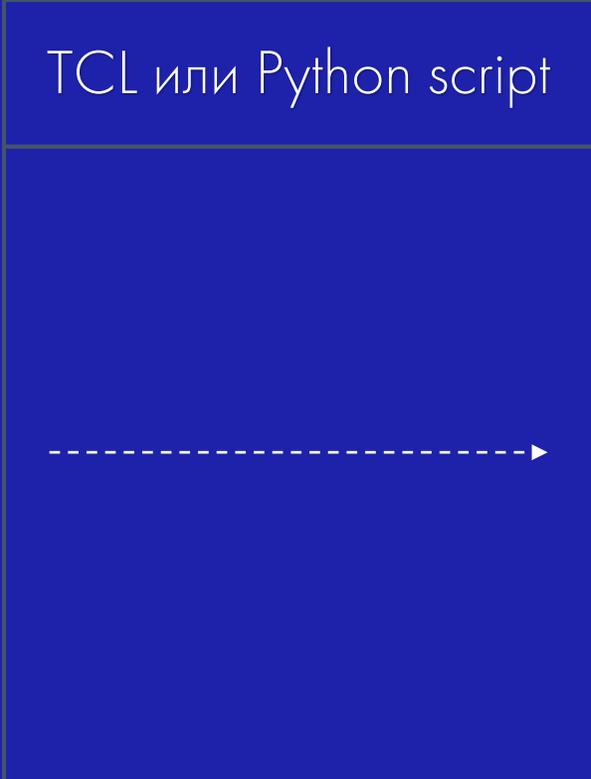
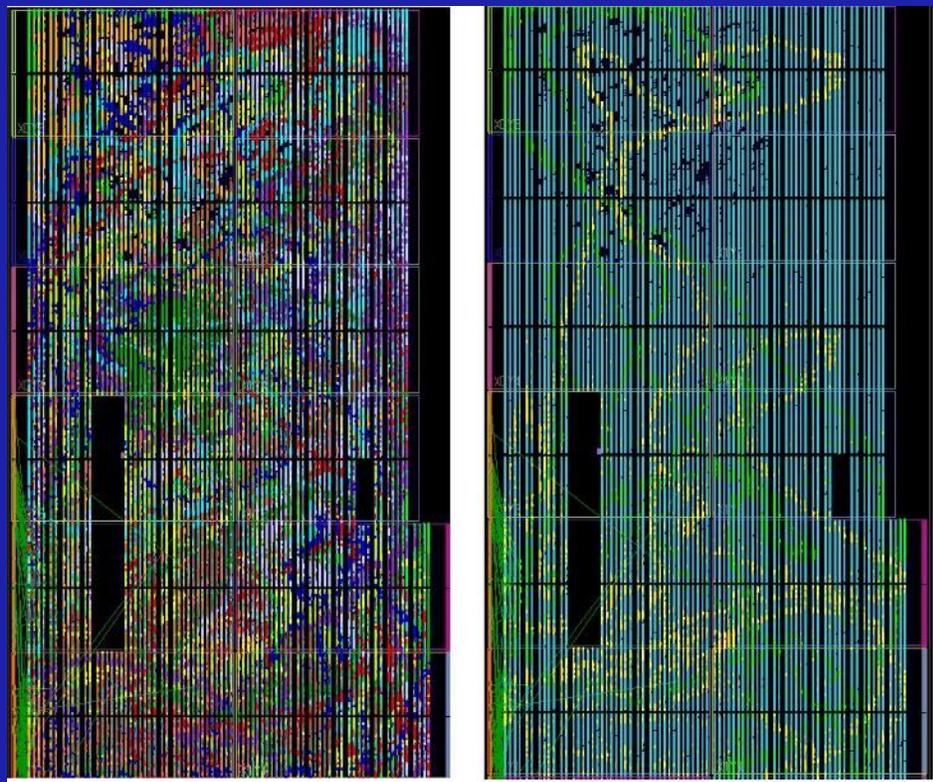
) (
    inout [ IOSIZE * W : 1 ] IO
    ,inout [ W : 1 ] ENABLE

////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
// Uncomment if needed //////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
    ,inout [6 : 1] DOPPIN // auxiliary i/o pins (using when needed).
    ,input [4 : 1] IN_RESIDUE // auxiliary input pins (using when needed).
    ,output [1 : 1] OUT_RESIDUE // auxiliary output pins (using when needed).
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
    ,input TestSel

);

localparam LENGHT = func_LENGHT ( IOSIZE, W, Logic_cells, REDUCE, REG_COUNT ); // Length of one scanning cell.
localparam RESIDUE = func_residue( LENGHT, IOSIZE, W, Logic_cells, REDUCE, REG_COUNT ); // Residue quantity of elements.
    
```

АВТОМАТИЗАЦИЯ РАЗМЕЩЕНИЯ



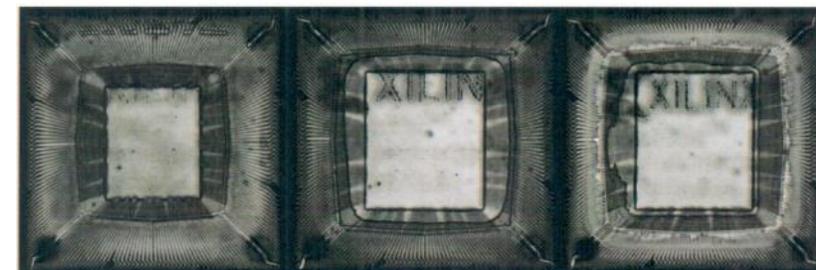
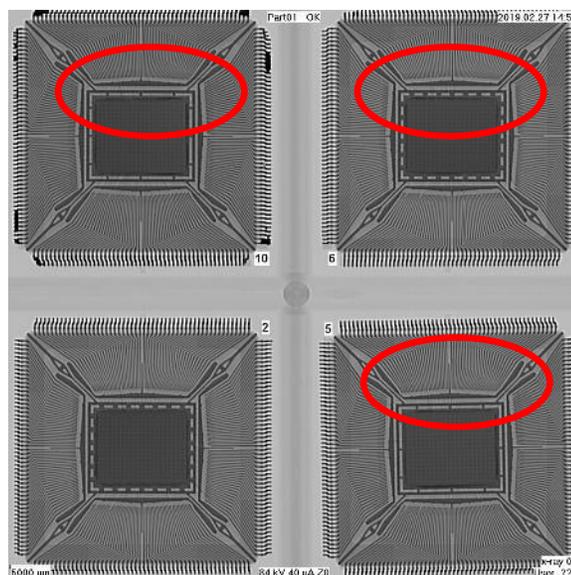
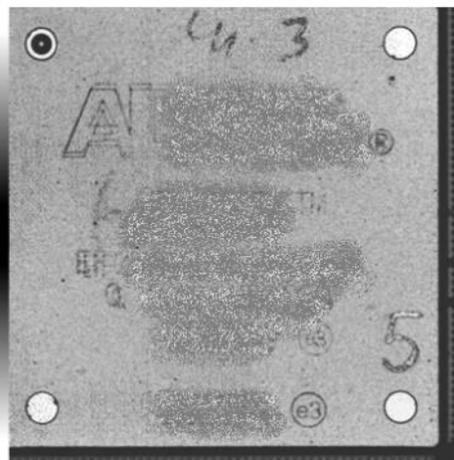


ПРЕВЬЮ ДОКЛАДА:

- Основные этапы обеспечения качества микросхем.....3-8
- Параметрический контроль.....9-10
- Функциональный контроль.....11-23
 - Модели ошибок, error injection.....11-16
 - Основные подходы и методы функционального контроля.....17-24
- Поговорим про функциональный контроль FPGA.....25-29
- Пару слов о контрафакте.....30-31



ПРИМЕРЫ КОНТРАФАКТНЫХ ПЛИС



Визуальный осмотр:

Острая кромка корпуса
(признак дополнительного
покрытия)

Акустическая микроскопия:

Наличие
перемаркировки

Рентгеновский контроль:

Различие в геометрии подложек
и геометрии разварки проволочных
соединений в рамках одной партии

Рентгеновский контроль:

Различие кристаллы в партии

Акустическая микроскопия:

Следы травления поверхности корпуса микросхемы





ЛИТЕРАТУРА

Литература:

- A. J. van de Goor. Testing Semiconductor Memories: Theory and Practice., 1998.
- Laung-Terng Wang, Charles Stroud, and Nur Touba System-on-Chip.Test.Architectures., Morgan.Kaufmann., 2008.
- Miron Abramovici et.al Digital Systems Testing and Testable Design,., IEEE Press, Wiley Interscience, ISBN 0-7803-1093-4.
- E. J. Marinissen, R. Kapur, M. Lousberg, T. McLaurin, M. Ricchetti, and Y. Zorian.On IEEE P1500's Standard for Embedded Core Test. Journal of Electronic Testing, 18(4):365–383, August 2002.
- Краснов М.И., Огурцов А.А. Аппаратура для функционального контроля ПЛИС - Контроль. Диагностика № 9 Москва: Издательский дом «Спектр», 2013. – 49-54 с.



YADRO

yadro.com



DISCOVER.
DESIGN.
DEVELOP.

yadro.com

Генеральный партнер конференции FPGA-Systems 2021.2

tech@exponenta.ru

exponenta.ru



ЭКСПОНЕНТА

ЦЕНТР ИНЖЕНЕРНЫХ ТЕХНОЛОГИЙ
И МОДЕЛИРОВАНИЯ

- **Технические консультации**
- **Подбор инструментов**
- **Обучение специалистов**
- **Работа на заказ**

EREMEX

Генеральный партнёр конференции FPGA-Systems 2021.2



Первая современная отечественная САПР, реализующая сквозной цикл проектирования печатных плат



EREMEX

www.aremex.ru

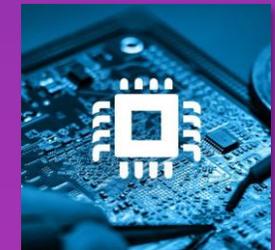
Информационные партнеры



Сообщество
приборостроителей



Русская электроника



PCBSOFT
PCB&IC SOFTWARE



ИСТОЧНИК ИНЖЕНЕР

Портал инженерной культуры_

[ПЕРЕЙТИ →](#)

Где найти FPGA комьюнити?



fpga-systems.ru



t.me/fpgasystems \Leftrightarrow [@fpgasystems](https://t.me/fpgasystems)



youtube.com/c/fpgasystems



admin@fpga-systems.ru

